

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Assistant Commissioner for Patents
United States Patent and Trademark
Office
Box PCT
Washington, D.C.20231
ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

Date of mailing: 27 July 2000 (27.07.00)	
International application No.: PCT/JP99/00181	Applicant's or agent's file reference: PNT980646
International filing date: 20 January 1999 (20.01.99)	Priority date:
Applicant: HATAE, Hiroshi et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International preliminary Examining Authority on:
20 January 1999 (20.01.99)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was
☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

<p>The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland</p> <p>Facsimile No.: (41-22) 740.14.35</p>	<p>Authorized officer:</p> <p>J. Zahra</p> <p>Telephone No.: (41-22) 338.83.38</p>
--	--

PATENT COOPERATION TREATY

PCT
NOTIFICATION OF TRANSMITTAL
OF COPIES OF TRANSLATION
OF THE INTERNATIONAL PRELIMINARY
EXAMINATION REPORT

(PCT Rule 72.2)

From the INTERNATIONAL BUREAU

To:

TAKAHASHI, Akio
 Nitto International Patent Office
 Yusenkyabacho Building
 9-8, Nihonbashi-kayabacho 2-chome
 Chuo-ku
 Tokyo 103-0025
 JAPON

Date of mailing (day/month/year) 19 April 2001 (19.04.01)	
Applicant's or agent's file reference PNT980646	IMPORTANT NOTIFICATION
International application No. PCT/JP99/00181	International filing date (day/month/year) 20 January 1999 (20.01.99)
Applicant HITACHI, LTD. et al	

1. Transmittal of the translation to the applicant.

The International Bureau transmits herewith a copy of the English translation made by the International Bureau of the international preliminary examination report established by the International Preliminary Examining Authority.

2. Transmittal of the copy of the translation to the elected Offices.

The International Bureau notifies the applicant that copies of that translation have been transmitted to the following elected Offices requiring such translation:

EP,CN,US

The following elected Offices, having waived the requirement for such a transmittal at this time, will receive copies of that translation from the International Bureau only upon their request:

JP,KR,SG

3. Reminder regarding translation into (one of) the official language(s) of the elected Office(s).

The applicant is reminded that, where a translation of the international application must be furnished to an elected Office, that translation must contain a translation of any annexes to the international preliminary examination report.

It is the applicant's responsibility to prepare and furnish such translation directly to each elected Office concerned (Rule 74.1). See Volume II of the PCT Applicant's Guide for further details.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer Eliott Peretti Telephone No. (41-22) 338.83.38
--	---

4T
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference PNT980646	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP99/00181	International filing date (day/month/year) 20 January 1999 (20.01.99)	Priority date (day/month/year)
International Patent Classification (IPC) or national classification and IPC G06F 9/38, 15/80, H04N 7/36		
Applicant HITACHI, LTD.		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>3</u> sheets, including this cover sheet.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of <u>3</u> sheets.</p>
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>

Date of submission of the demand 20 January 1999 (20.01.99)	Date of completion of this report 05 July 1999 (05.07.1999)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/00181

I. Basis of the report

1. With regard to the **elements** of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
pages _____ 1-16 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☒ the claims:
pages _____ 2-13 _____, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____ 1,14-20 _____, filed with the letter of _____ 28 June 1999 (28.06.1999)
- ☒ the drawings:
pages _____ 1-16 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/00181

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-20	YES
	Claims		NO
Inventive step (IS)	Claims	1-20	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-20	YES
	Claims		NO

2. Citations and explanations

Claims 1-20

In the case of a data processor equipped with a) a computing unit controlled by a CPU and b) a local data bus that connects the computing unit to a storage means, the idea of the local data bus having a bus width wider than the data bus width of the CPU is neither disclosed in any of the documents cited in the ISR nor obvious to a person skilled in the art.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00181

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ G06F9/38, G06F15/80, H04N7/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ G06F9/38, G06F15/80, H04N7/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1940-1999 Toroku Jitsuyo Shinan Koho 1994-1999

Kokai Jitsuyo Shinan Koho 1971-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 7-200324, A (International Business Machines Corp.), 4 August, 1995 (04. 08. 95), Column 5, line 1 to column 10, line 38 ; Fig. 1 & US, 5506957, A	1 2, 7
A	JP, 9-69047, A (Sony Corp.), 11 March, 1997 (11. 03. 97) & EP, 762272, A	1-9
A	JP, 6-324868, A (Hitachi ULSI Engineering Corp.), 25 November, 1994 (25. 11. 94) (Family: none)	1-9
A	JP, 2-306361, A (NEC Corp.), 19 December, 1990 (19. 12. 90) (Family: none)	1-9
A	JP, 5-268593, A (Nippon Telegraph & Telephone Corp.), 15 October, 1993 (15. 10. 93) (Family: none)	10-13

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
13 April, 1999 (13. 04. 99)Date of mailing of the international search report
27 April, 1999 (27. 04. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

*Replaced by
Article 34*

Claims

1. A data processor comprising a first arithmetic and logic unit controlled by a CPU, first storage means, a local data bus having a bus width
5 wider than a data bus width of said CPU and connecting the first arithmetic and logic unit and the first storage means, and an address bus commonly connected to said CPU, the first arithmetic and logic unit, and said first storage means.

10

2. The data processor according to claim 1, wherein said first arithmetic and logic unit is an arithmetic and logic unit of an SIDM type.

15

3. The data processor according to claim 1, wherein a plurality of said first arithmetic and logic units are arranged in parallel.

20

4. The data processor according to claim 1, wherein said first storage means has a first memory, a second memory, and a DMA circuit connected to said address bus and said data bus and controlling data transfer between the first and second memories.

25

5. The data processor according to claim 4, wherein said first storage means has means for performing sign extension when data is transferred from said second memory to said first memory by the DMA

circuit.

6. The data processor according to claim 4,
wherein said first memory has first and second work
5 memories, and said first storage means further
comprises means for alternately switching between
connection of the first and second work memories to
said first arithmetic and logic unit and said second
memory, respectively, and connection of the first and
10 second work memories to said second memory and said
first arithmetic and logic unit, respectively.

7. The data processor according to claim 1,
wherein said first arithmetic and logic unit is an
15 arithmetic and logic unit of an SIMD control type for
parallelly performing arithmetic process on plural data
by a single instruction from said CPU.

8. The data processor according to any one of
20 claims 1 to 7, wherein said first arithmetic and logic
unit taking the form of an SIMD control type arithmetic
and logic unit, comprising: a plurality of processor
elements each having a first input terminal, a second
input terminal, and a first output terminal and
25 operated by a control signal from said CPU; a first
register having a bit width equal to a total of bit
widths of input terminals of all of first input
terminals of said plurality of processor elements; a

second register having a bit width equal to a total of
bit widths of second input terminals of all of said
plurality of processor elements and applying all the
bit widths to the second input terminals of all the
5 processor elements without an overlap; a third register
having a bit width equal to or wider than a bit width
of the second input terminal of each of said processor
elements and capable of shifting data to the second
register on a unit basis of the bit width of the second
10 input terminal; a selector for selecting data of said
first register and supplying the bit width of the first
input terminal of said processor element from the most
significant bit commonly to the first input terminals
of all of said processor elements; a write control
15 circuit controlled by said address bus, for writing
data to said first, second, and third registers via
said local bus; and a circuit for outputting data of
said output terminal to said local data bus.

20 9. The data processor for image processing
according to claim 8, wherein said processor element is
an arithmetic and logic circuit for adding up a
subtraction value of data of said first and second
input terminals for a predetermined range and
25 outputting resultant data, data is stored in a
plurality of pixels of an image to be encoded in said
first register, data of a plurality of pixels of a
reference image to be referred to is stored in said

second register, and outputs of said plurality of processor elements are taken as the degree of approximation corresponding to a plurality of motion vectors.

5

10. An arithmetic and logic unit of an SIMD control type, comprising: a plurality of processor elements each having a first input terminal, a second input terminal, and a first output terminal; a first
10 register having a bit width equal to a total of bit widths of first input terminals of all of said plurality of processor elements; a second register having a bit width equal to a total of bit widths of
15 second input terminals of all of said processor elements; and a third register having a bit width equal to or wider than a bit width of the second input terminal of said processor element and capable of shifting data to the second register on a unit basis of the bit width of the second input terminal.

20

11. The SIMD control type arithmetic and logic unit according to claim 10, wherein said first register has a connection circuit for commonly supplying a bit width of a first input terminal of said processor
25 element from the most significant bit to all of said processor elements, and a connection circuit for supplying all of bit widths so as not to be overlapped to all of the processor elements.

12. The SIMD control type arithmetic and logic unit according to claim 10, further comprising: a selector for supplying the bit width of the first input terminal of said processor element from the most significant bit of said first register to all of said processor elements; and means for performing, every clock, an arithmetic process in said processor element, a data shifting process on the unit basis of the bit width of the first input terminal of said processor element in said first register, and a data shifting process on the unit basis of the bit width of the second input terminal of said processor element in said second and third registers.

13. The SIMD control type arithmetic and logic unit according to claim 11 or 12, used for image processing, wherein data of a plurality of pixels in a first image is stored in said first register, data of a plurality of pixels in a second image is stored in said second and third registers, said processor element takes the form of an arithmetic and logic circuit for accumulating a difference between data applied from said first input terminal and data applied from said second input terminal, and means for outputting the degree of approximation corresponding to a plurality of motion vectors between said first and second images from each of said plurality of processor elements is

provided.

(TRANSLATION)

REPLY

5 To: Examiner Nakano yuuji, of the Patent Office

1. Identification of International Application

PCT/JP99/00181

2. Applicant

Name HITACHI, LTD.

10 Address 6, Kanda Surugadai 4-Choume, Chiyoda-ku,
Tokyo 101-8010 JAPAN

Country of nationality JAPAN

Country of residence JAPAN

3. Agent

15 Name TAKAHASHI Akio, Patent Attorney
(Reg.No.6189).

Address Nitto International Patent Office,
Yusenkyabacho Building, 9-8,
Nihonbashi-kayabacho 2-chome, Chuo-ku,
20 Tokyo 103-0025 JAPAN

4. Date of Office Action: April 04, 1999

5. Subject matter of REPLY: As per the attached sheets

It is described in PCT Opinion Document that
claim1 has no novelty and claims 2 and 7 have no
novelty. But we cannot agree to examiner's opinion on the
5 following reasons,

(1).The examiner has stated "Claim 1 of this application has no
novelty since the invention of the claim 1 has been described in
the cited document 11 (JP, 7-200324, A (International Business
Maschines Corporation), 4 August 1995(04.08 1995), colum1 line 1
10 to colum 10 lime 38 and Fig.1 & 5506957, A).

(2) Our invention of claim1 (simply called as "claim1") has
a first feature having a local data bus having a bus width
wider than a data bus width of said CPU and connecting
the first arithmetic and logic unit and a second first
15 arithmetic and logic unit controlled by a CPU, an
second feature having address bus commonly connected
the first arithmetic and logic unit and the first
storage means .

By combination of the two features, it is possible to
20 improve data transmission ability, at the same time, CPU
can control address designation for read out of data from the
first storage means and for storing data into register of the
first arithmetic and logic unit monastically

(3)On the contrary, the invention of the cited
25 document has no the above two features, the object or
merit of the invention of the cited document is
different from that of our invention. That is,
according to the opinion document of the Examiner, it

is unclear where portions are corresponding to our CPU, and our first arithmetic and logic unit, since Examiner has cited broad scope of the cited document.

It is unreasonable to regard Fixed point
5 arithmetic unit (FXU) as our CPU, and to regard(FPU) as our arithmetic and logic unit. That is, in column 3, lines 11~13, there is described "As prior art, floating point arithmetic unit (FPU) performs the order", accordingly from the cited document, it can be
10 read that the CPU and FXU are different objects. Therefore we consider that it is impossible to regard the FXU of the cited document as CPU.

Although FXU and DCU (data cache unit) are connected by address bus, FPU are not connected to the address
15 bus. Concerning to instruction cash 57 side, it is not described that FXU, DCU and instruction cash are connected by a common address bus. As described above, the cited document does not describe the second feature of our invention of claim 1.

20 (4) Further, the cited document has not described about width of the bus connected between the instruction cash and FXU, DCU. Judging from attached Fig. we consider each bus widths are same. As described above, the cited document does not describe the second
25 feature of our invention of claim 1. Accordingly, the cited document does not describe about the combination of the first and the second features of our invention of claim 1.

On the reason described above, our invention of claim 1 has novelty to the invention of the cited document 1.

5 (5) Examiner has stated "inventions of our claims 2 and 7 are only use of well known SIMD as an arithmetic unit of the invention of the cited document1, inventions of our claims 2 and 7 are obtained obviously, and have no inventive step."

10 However, claims 2and 7 depends on claim 1. As described above, the invention of claim 1 is quite different from the invention disclosed in the cited document 1, and the object and effect of the invention of our claim 1 are different from those of the invention of the cited document 1. That is, as described
15 above, the invention of our claim 1 has effect that improving the data transmission speed by said combination of two features of our invention, at the same time, CPU can control address designation for read out of data from the first storage means and for
20 storing data into register of the first arithmetic and logic unit monastically

On the other hand, the object of the invention of the cited document is to be able to perform instruction in a floating point arithmetic unit (FPU) continuously,
25 even in a case that data load miss happened. The construction of the invention of the cited document is different from our invention of claim 1 also.

Therefore it is clear that the invention of our

claim 1 can not obtained obviously from the invention disclosed in the cited document 1. Accordingly inventions of our claims 2 and 7 depending to our claim 1 has inventive step for the invention disclosed in the cited document 1.

(6) Each of inventions of our claims added by amendment proposed at the same time, have substantially the same features of that of our claim 1, and novelty and inventive step for the invention disclosed in the cited document 1.

By the way, in the claim 14, the arithmetic unit is controlled by the decoded result of CPU. In other words, by decoded results, the arithmetic unit can be controlled directly, and there is no need of supply of instruction such as invention of the cited document 1.

Concerning to our claim 16, By DMA circuit connected to CPU and storage means, data trans mission efficiency from the storage means to the first arithmetic unit is improved.



1

答 弁 書

特許庁審査官 中野 裕二 殿

1. 国際出願の表示 PCT/J P 99 / 0 0 1 8 1

2. 出 願 人

名 称 株式会社 日立製作所
HITACHI, LTD.

あて名 〒101-8010 日本国東京都千代田区神田駿河台四丁目 6 番地
6, Kanda Surugadai 4-Chome, Chiyoda-ku, Tokyo 101-8010 JAPAN

国 籍 日本国 JAPAN

住 所 日本国 JAPAN

3. 代 理 人

氏 名 (6 1 8 9) 弁理士 高橋 明夫
TAKAHASHI Akio, Patent Attorney (Reg.No.6189)



あて名 〒103-0025 日本国東京都中央区日本橋茅場町二丁目
9 番 8 号 友泉茅場町ビル 日東国際特許事務所

Nitto International Patent Office, Yusenkayabacho Building,
9-8, Nihonbashi-kayabacho 2-chome, Chuo-ku,
Tokyo 103-0025 JAPAN

4. 通知の日付 2 7 . 0 4 . 9 9

5. 答弁の内容

PCT見解書（発送日：27.04.99）において、請求の範囲1は新規性が無い、請求の範囲2及び7は新規性が無いとされているが、以下の理由によって審査官のご見解は承服できない。

（1）. 審査官殿は、本願の「請求の範囲1は、国際調査報告で引用された文献1文の11（JP, 7-200324, A（インターナショナル・ビジネス・マシーンズ・コーポレーション）、4.8月.1995（04.08.95）、第5欄第1行目～第10欄第38行目及び図1&US, 5506957, A）に記載されているので、新規性を有しない。」と述べられている。

（2）. 本願請求の範囲1の発明（以下単に請求の範囲1と略称）は、第一の演算ユニットと第一の記憶手段を接続するローカルデータバスがCPUの持つデータバス幅より広いバス幅（ビット数）を持つ第一の特徴と、第一の演算ユニット及び第一の記憶手段が共通に接続されたアドレスバスを持つ第二の特徴を持ち、この2つの特徴の組合わせによって、データ転送性を向上するとともに、CPUは第一の記憶手段のデータ読出しと演算ユニットのレジスタのデータ格納との両者のアドレス指定を一元的に管理できる効果を持つ。

（3）. これに対し、引用文献1のものは、上記2つの特徴は見出されず、また発明の目的とする効果も異なる。すなわち、見解書によれば、引用文献1の広範囲が指摘され、いかなる部分が本発明のCPU、演算ユニットに相当するとされているのか不明である。引用文献1の固定小数点ユニット（FXU）をCPUと見做し、浮動小数点ユニット（FPU）を演算ユニットと見なすことは、次の理由によって不当である。すなわち、引用文献1第3欄11～13行に、「従来技術の例として、FPUが命令を実行している…」の記述があり、引用文献1ではCPUをFXUとを異なるものと判断していると考えることが出来る。故に、引用文献のFXUをCPUと見なすことはできないと思慮する。

F X UとD C U（データ・キャッシュ・ユニット）はアドレスバスで接続されているが、F P Uにはアドレスバスが接続されていない。命令キャッシュ57側に主眼を置いてみても、F X UとF P Uと命令キャッシュとが共通のアドレスバスで結合することは示されていない。以上の通り、本願請求の範囲1の第二の特徴は記載されていない。

（４）．また、命令キャッシュとF P U、F X Uとに接続されているバスの幅については、何も言及されていない。図面より判断すると、各バス幅は同じであると思われる。以上の通り、請求の範囲1の第二の特徴は記載されていない。

従って、本願請求の範囲1の第一及び第二の特徴を組合わせも記載されていない。

以上の次第で、本願請求の範囲1の発明は、引用文献1に記載された発明に
対

し新規性をもつものである。

（５）．審査官は、「請求の範囲2及び7は、文献1記載の発明において、演算ユニットとして周知のS I M Dを用いたものにすぎず、当業者が容易に想到しうるものである」とし、請求の範囲2及び7は進歩性が無いとされている。しかし、請求の範囲2及び7は、請求の範囲1に従属するものであり、請求の範囲1は、前述の通り、引用文献1に記載の発明と全く異なり、発明の目的、効果が文献1に記載の発明と異なるものである。すなわち、前述のごとく、請求の範囲1の発明は、前記2つの特徴の組合わせによって、データ転送性を向上すると同時に、C P Uは第一の記憶手段のデータ読出しと演算ユニットのレジスタのデータ格納との両者のアドレス指定を一元的に管理できる効果を持つ。

これに対し、引用文献1に記載の発明は、データ・ロード・ミスがあっても、浮動少数点ユニット（F P U）上で、命令の実行を連続して行うことができるようにすることを目的とし、その構成も前述のように、本願請求の範囲1と異なるものであり、本願請求の範囲1が引用文献1に記載の発明から容易に類推できな

いことは明らかである。従って、請求の範囲1に従属する請求の範囲2及び7の発明は、引用文献1に記載の発明に対し進歩性を有するものである。

(6)．同時提出の手続補正書によって追加した各請求の範囲の発明は、いずれも、請求の範囲1と実質的に同じ特徴を有するもので、引用文献1に記載の発明に対し、新規性及び進歩性を持つものである。

なお、請求の範囲14については、第一の演算ユニットがCPUのデコード結果によって制御される。つまり、デコード結果により第一の演算ユニットはCPUにより直接制御されることができ、引用文献1に記載のように、FPUに対しても命令を供給する必要が無い。

請求の範囲16については、CPUと記憶手段とに接続されたDMA回路を有することにより、記憶手段から第一の演算ユニットへのデータ伝送効率が良くなる。

以上



手続補正書

(法第11条の規定による補正)

特許庁審査官 中野 裕二 殿

1. 国際出願の表示 PCT/JP99/00181

2. 出 願 人

名 称 株式会社 日立製作所
HITACHI, LTD.あて名 〒101-8010 日本国東京都千代田区神田駿河台四丁目6番地
6, Kanda Surugadai 4-Chome, Chiyoda-ku, Tokyo 101-8010 JAPAN

国 籍 日本国 JAPAN

住 所 日本国 JAPAN

3. 代 理 人

氏 名 (6189) 弁理士 高橋 明夫

TAKAHASHI Akio, Patent Attorney (Reg.No.6189)

あて名 〒103-0025 日本国東京都中央区日本橋茅場町二丁目
9番8号 友泉茅場町ビル 日東国際特許事務所Nitto International Patent Office, Yusenkayabacho Building,
9-8, Nihonbashi-kayabacho 2-chome, Chuo-ku,
Tokyo 103-0025 JAPAN

4. 補正の対象 「請求の範囲」の欄

5. 補正の内容

(1) 請求の範囲 17 頁、3～4 行の、「幅をち、第一の演算ユニットと第一の記憶手段と接続」を「幅を持ち、上記第一の演算ユニットと上記第一の記憶手段とを接続」に補正する。

(2) 請求の範囲 17 頁 4～5 行の、「上記 CPU、第一の演算ユニット」を「上記 CPU、上記第一の演算ユニット」に補正する。

(3) 請求の範囲 19 頁、25 行以下に請求項 14～20 を追加する。

6. 添付書類の目録

(1) 請求の範囲 17, 19, 19/1 頁の新たな用紙 …… 1 通

以 上

(Translation)

AMENDMENT

To: Examiner NAKANO YUji, of the Patent Office

1. Identification of International Application

5 PCT/JP99/00181

2. Applicant

Name: HITACHI Ltd.

Address: 6, Kanda Surugadai 4-Choume, Chiyoda-ku,
Tokyo 101-8010 JAPAN

10 Country of nationality JAPAN

Country of residence JAPAN

3. Agent

Name TAKAHASHI Akio, Patent Attorney
(Reg.No.6189).

15 Address Nitto International Patent Office,
Yusenkayabacho Building, 9-8,
Nihonbashi-kayabacho 2-chome, Chuo-ku,
Tokyo 103-0025 JAPAN

4. Item to be Amended: CLAIMS

20 5. Subject Matter of Amendment

(1) Change " first arithmetic and logic unit and first
storage means," in claim page17, lines 3-4, to - - the
first arithmetic and logic unit and the first storage
means, - -.

25 (2) Change " said CPU, first arithmetic and logic
unit " in claim page19, lines 4~5, to - - the first
arithmetic and logic unit, the first arithmetic and
logic unit - -.

(3) Add new claims 14-24 after page 19, line 25 in claim

6. List of Attached Documents

New sheets of PPs. 17, 19, 19/1 og CLAIMs.

特許協力条約に基づく国際出願

願 書

出願人は、この国際出願が特許協力条約に従って処理されることを請求する。

国際出願番号 受理官庁記入欄

国際出願日

(受付印)



出願人又は代理人の書類記号

(希望する場合、最大12字)

PNT980646

第I欄 発明の名称

データ処理装置

第II欄 出願人

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

株式会社 日立製作所
HITACHI, LTD.
〒101-8010 日本国東京都千代田区神田駿河台四丁目6番地
6, Kanda Surugadai 4-chome, Chiyoda-ku,
TOKYO 101-8010 JAPAN

☐ この欄に記載した者は、
発明者でもある。

電話番号:
03-3212-1111

ファクシミリ番号:
03-3214-3116

加入電信番号:

国籍(国名): 日本国 JAPAN

住所(国名): 日本国 JAPAN

この欄に記載した者は、次の
指定国についての出願人である: ☐ すべての指定国 ☒ 米国を除くすべての指定国 ☐ 米国のみ ☐ 追記欄に記載した指定国

第III欄 その他の出願人又は発明者

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

波 多 江 博
HATAE Hiroshi
〒187-8588 日本国東京都小平市上水本町五丁目20番1号
株式会社日立製作所 システムLSI開発センタ内
c/o System LSI Development Center, HITACHI, LTD.
20-1, Jousuihoncho, 5-chome, Kodaira-shi,
TOKYO 187-8588 JAPAN

この欄に記載した者は、
次に該当する:

☐ 出願人のみである。

☒ 出願人及び発明者である。

☐ 発明者のみである。
(ここにレ印を付したとき
は、以下に記入しないこと)

国籍(国名): 日本国 JAPAN

住所(国名): 日本国 JAPAN

この欄に記載した者は、次の
指定国についての出願人である: ☐ すべての指定国 ☐ 米国を除くすべての指定国 ☒ 米国のみ ☐ 追記欄に記載した指定国

☒ その他の出願人又は発明者が続葉に記載されている。

第IV欄 代理人又は共通の代表者、通知のあて名

次に記載された者は、国際機関において出願人のために行動する:

☒ 代理人

☐ 共通の代表者

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

6189 弁理士 高 橋 明 夫
TAKAHASHI Akio, Patent Attorney (Reg.NO.6189)
〒103-0025 日本国東京都中央区日本橋茅場町二丁目9番8号 友泉茅場町ビル
日東国際特許事務所
Nitto International Patent Office, Yusenkayabacho Building,
9-8, Nihonbashi-kayabacho 2-chome, Chuo-ku,
TOKYO 103-0025 JAPAN

電話番号:
03-3661-0071

ファクシミリ番号:
03-3667-9770

加入電信番号:

☐ 通知のためのあて名:代理人又は共通の代表者が選任されておらず、上記枠内に特に通知が送付されるあて名を記載する場合はレ印を付す

第Ⅲ欄の続き その他の出願人又は発明者

この続葉を使用しないときは、この用紙を願書に含めないこと。

氏名（名称）及びあて名：（姓・名の順に記載；法人は公式の完全な名称を記載；あて名は郵便番号及び国名も記載）

渡 辺 浩 巳
WATANABE Hiromi
〒187-8588 日本国東京都小平市上水本町五丁目 20 番 1 号
株式会社日立製作所 システム L S I 開発センタ内
c/o System LSI Development Center, HITACHI, LTD.
20-1, Jousuihoncho, 5-chome, Kodaira-shi,
TOKYO 187-8588 JAPAN

この欄に記載した者は、次に該当する：

- ☐ 出願人のみである。
☒ 出願人及び発明者である。
☐ 発明者のみである。
（ここにレ印を付したときは、以下に記入しないこと）

国籍（国名）： 日本国 JAPAN

住所（国名）： 日本国 JAPAN

この欄に記載した者は、次の指定国についての出願人である：
☐ すべての指定国 ☐ 米国を除くすべての指定国 ☒ 米国のみ ☐ 追記欄に記載した指定国

氏名（名称）及びあて名：（姓・名の順に記載；法人は公式の完全な名称を記載；あて名は郵便番号及び国名も記載）

この欄に記載した者は、次に該当する：

- ☐ 出願人のみである。
☐ 出願人及び発明者である。
☐ 発明者のみである。
（ここにレ印を付したときは、以下に記入しないこと）

国籍（国名）：

住所（国名）：

この欄に記載した者は、次の指定国についての出願人である：
☐ すべての指定国 ☐ 米国を除くすべての指定国 ☐ 米国のみ ☐ 追記欄に記載した指定国

氏名（名称）及びあて名：（姓・名の順に記載；法人は公式の完全な名称を記載；あて名は郵便番号及び国名も記載）

この欄に記載した者は、次に該当する：

- ☐ 出願人のみである。
☐ 出願人及び発明者である。
☐ 発明者のみである。
（ここにレ印を付したときは、以下に記入しないこと）

国籍（国名）：

住所（国名）：

この欄に記載した者は、次の指定国についての出願人である：
☐ すべての指定国 ☐ 米国を除くすべての指定国 ☐ 米国のみ ☐ 追記欄に記載した指定国

氏名（名称）及びあて名：（姓・名の順に記載；法人は公式の完全な名称を記載；あて名は郵便番号及び国名も記載）

この欄に記載した者は、次に該当する：

- ☐ 出願人のみである。
☐ 出願人及び発明者である。
☐ 発明者のみである。
（ここにレ印を付したときは、以下に記入しないこと）

国籍（国名）：

住所（国名）：

この欄に記載した者は、次の指定国についての出願人である：
☐ すべての指定国 ☐ 米国を除くすべての指定国 ☐ 米国のみ ☐ 追記欄に記載した指定国

☐ その他の出願人又は発明者が他の続葉に記載されている。

第Ⅴ欄 国の指定

規則 4.9(a)の規定に基づき次の指定を行う（該当する□にレ印を付すこと：少なくとも1つの□にレ印を付すこと）。

広域半島群

- ☐ AP ARIPO半島群：GH ガーナ Ghana, GM ガンビア Gambia, KE ケニア Kenya, LS レソト Lesotho, MW マラウイ Malawi, SD スーダン Sudan, SZ スワジランド Swaziland, UG ウガンダ Uganda, ZW ジンバブエ Zimbabwe, 及びハラレプロトコルと特許協力条約の締約国である他の国
- ☐ EA ユーラシア半島群：AM アルメニア Armenia, AZ アゼルバイジャン Azerbaijan, BY ベラルーシ Belarus, KG キルギス Kyrgyzstan, KZ カザフスタン Kazakhstan, MD モルドヴァ Republic of Moldova, RU ロシア Russian Federation, TJ タジキスタン Tajikistan, TM トルクメニスタン Turkmenistan, 及びユーラシア特許条約と特許協力条約の締約国である他の国
- ☒ EP ヨーロッパ半島群：AT オーストリア Austria, BE ベルギー Belgium, CH and LI スイス及びリヒテンシュタイン Switzerland and Liechtenstein, CY キプロス Cyprus, DE ドイツ Germany, DK デンマーク Denmark, ES スペイン Spain, FI フィンランド Finland, FR フランス France, GB 英国 United Kingdom, GR ギリシャ Greece, IE アイルランド Ireland, IT イタリア Italy, LU ルクセンブルグ Luxembourg, MC モナコ Monaco, NL オランダ Netherlands, PT ポルトガル Portugal, SE スウェーデン Sweden, 及びヨーロッパ特許条約と特許協力条約の締約国である他の国
- ☐ OA OAPI半島群：BF ブルキナ・ファソ Burkina Faso, BJ ベナン Benin, CF 中央アフリカ Central African Republic, CG コンゴ Congo, CI コートジボアール Côte d'Ivoire, CM カメルーン Cameroon, GA ガボン Gabon, GN ギニア Guinea, ML マリ Mali, MR モーリタニア Mauritania, NE ニジェール Niger, SN セネガル Senegal, TD チャード Chad, TG トーゴ Togo, 及びアフリカ知的所有権機構のメンバー国と特許協力条約の締約国である他の国（他の種類の保護又は取扱いを求める場合には点線の上に記載する）

国・半島群（他の種類の保護又は取扱いを求める場合には点線の上に記載する）

- | | |
|---|---|
| <input type="checkbox"/> AL アルバニア Albania | <input type="checkbox"/> LT リトアニア Lithuania |
| <input type="checkbox"/> AM アルメニア Armenia | <input type="checkbox"/> LU ルクセンブルグ Luxembourg |
| <input type="checkbox"/> AT オーストリア Austria | <input type="checkbox"/> LV ラトヴィア Latvia |
| <input type="checkbox"/> AU オーストラリア Australia | <input type="checkbox"/> MD モルドヴァ Republic of Moldova |
| <input type="checkbox"/> AZ アゼルバイジャン Azerbaijan | <input type="checkbox"/> MG マダガスカル Madagascar |
| <input type="checkbox"/> BA ボスニア・ヘルツェゴヴィナ Bosnia and Herzegovina | <input type="checkbox"/> MK マケドニア旧ユーゴスラヴィア共和国 The former Yugoslav Republic of Macedonia |
| <input type="checkbox"/> BB バルバドス Barbados | <input type="checkbox"/> MN モンゴル Mongolia |
| <input type="checkbox"/> BG ブルガリア Bulgaria | <input type="checkbox"/> MW マラウイ Malawi |
| <input type="checkbox"/> BR ブラジル Brazil | <input type="checkbox"/> MX メキシコ Mexico |
| <input type="checkbox"/> BY ベラルーシ Belarus | <input type="checkbox"/> NO ノールウェー Norway |
| <input type="checkbox"/> CA カナダ Canada | <input type="checkbox"/> NZ ニュー・ジールランド New Zealand |
| <input type="checkbox"/> CH and LI スイス及びリヒテンシュタイン Switzerland and Liechtenstein | <input type="checkbox"/> PL ポーランド Poland |
| <input checked="" type="checkbox"/> CN 中国 China | <input type="checkbox"/> PT ポルトガル Portugal |
| <input type="checkbox"/> CU キューバ Cuba | <input type="checkbox"/> RO ルーマニア Romania |
| <input type="checkbox"/> CZ チェッコ Czech Republic | <input type="checkbox"/> RU ロシア Russian Federation |
| <input type="checkbox"/> DE ドイツ Germany | <input type="checkbox"/> SD スーダン Sudan |
| <input type="checkbox"/> DK デンマーク Denmark | <input type="checkbox"/> SE スウェーデン Sweden |
| <input type="checkbox"/> EE エストニア Estonia | <input checked="" type="checkbox"/> SG シンガポール Singapore |
| <input type="checkbox"/> ES スペイン Spain | <input type="checkbox"/> SI スロヴェニア Slovenia |
| <input type="checkbox"/> FI フィンランド Finland | <input type="checkbox"/> SK スロヴァキア Slovakia |
| <input type="checkbox"/> GB 英国 United Kingdom | <input type="checkbox"/> SL シェラ・レオネ Sierra Leone |
| <input type="checkbox"/> GE グルジア Georgia | <input type="checkbox"/> TJ タジキスタン Tajikistan |
| <input type="checkbox"/> GH ガーナ Ghana | <input type="checkbox"/> TM トルクメニスタン Turkmenistan |
| <input type="checkbox"/> GM ガンビア Gambia | <input type="checkbox"/> TR トルコ Turkey |
| <input type="checkbox"/> GW ギニア・ビサオ Guinea-Bissau | <input type="checkbox"/> TT トリニダッド・トバゴ Trinidad and Tobago |
| <input type="checkbox"/> HR クロアチア Croatia | <input type="checkbox"/> UA ウクライナ Ukraine |
| <input type="checkbox"/> HU ハンガリー Hungary | <input type="checkbox"/> UG ウガンダ Uganda |
| <input type="checkbox"/> ID インドネシア Indonesia | <input checked="" type="checkbox"/> US 米国 United States of America |
| <input type="checkbox"/> IL イスラエル Israel | <input type="checkbox"/> UZ ウズベキスタン Uzbekistan |
| <input type="checkbox"/> IS アイスランド Iceland | <input type="checkbox"/> VN ヴィエトナム Viet Nam |
| <input checked="" type="checkbox"/> JP 日本 Japan | <input type="checkbox"/> YU ユーゴスラヴィア Yugoslavia |
| <input type="checkbox"/> KE ケニア Kenya | <input type="checkbox"/> ZW ジンバブエ Zimbabwe |
| <input type="checkbox"/> KG キルギス Kyrgyzstan | |
| <input checked="" type="checkbox"/> KR 韓国 Republic of Korea | |
| <input type="checkbox"/> KZ カザフスタン Kazakhstan | |
| <input type="checkbox"/> LC セント・ルシア Saint Lucia | |
| <input type="checkbox"/> LK スリ・ランカ Sri Lanka | |
| <input type="checkbox"/> LR リベリア Liberia | |
| <input type="checkbox"/> LS レソト Lesotho | |

以下の□は、この様式の施行後に特許協力条約の締約国となった国を指定（国内特許のために）するためのものである

- ☐ _____
- ☐ _____
- ☐ _____
- ☐ _____
- ☐ _____

確認の指定の宣言：出願人は、上記の指定に加えて、規則 4.9(b)の規定に基づき、特許協力条約の下で認められる他の全ての国の指定を行う。ただし、この宣言から除く旨の表示を追記欄にした国は、指定から除かれる。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。（指定の確認は、指定を特定する通知の提出と指定手数料及び確認手数料の納付からなる。この確認は、優先日から15月以内に受理官庁へ提出しなければならない。）

第Ⅵ欄 優先権主張

他の優先権の主張（先の出願）が追記欄に記載されている ☐

先の出願日 (日、月、年)	先の出願番号	先の出願		
		国内出願：国名	広域出願：*広域官庁名	国際出願：受理官庁名
(1)				
(2)				
(3)				

☐ 上記（ ）の番号の先の出願（ただし、本国際出願が提出される受理官庁に対して提出されたものに限り）のうち、次の（ ）の番号のものについては、出願書類の認証謄本を作成し国際事務局へ送付することを、受理官庁（日本国特許庁の長官）に対して請求している。：

*先の出願が、AIRIPOの特許出願である場合には、その先の出願を行った工業所有権の保護のためのパリ条約同盟の少なくとも1カ国を追記欄に表示しなければならない（規則4.10(b)(ii)）。追記欄を参照。

第Ⅶ欄 国際調査機関

国際調査機関（ISA）の選択

ISA/J P

先の調査結果の利用請求：当該調査の照会（先の調査が、

国際調査機関によって既に実施又は請求されている場合）

出願日（日、月、年、）

出願番号

国名（又は広域官庁）

第Ⅷ欄 照合欄；出願の言語

この国際出願の用紙の枚数は次のとおりである。

願書 4 枚
明細書（配列表を除く） 16 枚
請求の範囲 3 枚
要約書 1 枚
図面 16 枚
合計 40 枚

この国際出願には、以下にチェックした書類が添付されている。

- ☒ 手数料計算用紙
納付する手数料に相当する特許
印紙を貼付した書面
- ☒ 別個の記名押印された委任状
- ☐ 包括委任状の写し
- ☐ 記名押印（署名）の説明書
- ☐ 優先権書類（上記第Ⅵ欄の（ ）の番号を記載する）
- ☐ 国際出願の翻訳文（翻訳に使用した言語名を記載する）：
- ☐ 寄託した微生物又は他の生物材料に関する書面
- ☐ ヌクレオチド及び/又はアミノ酸配列リスト（フレキシブルディスク）
- ☐ その他（書類名を詳細に記載する）

要約書とともに公表する図面：第1図

本国際出願の使用言語名：日本語

第Ⅸ欄 提出者の記名+押印

各人の氏名（名称）を記載し、その次に押印する。

高橋 明夫



受理官庁記入欄

1. 国際出願として提出された書類の実際の受理の日	2. 図面
3. 国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日（訂正日）	<input type="checkbox"/> 受理された
4. 特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	<input type="checkbox"/> 不足図面がある
5. 出願人より特定された国際調査機関 ISA/J P	6. <input type="checkbox"/> 調査手数料未払いにつき、国際調査機関に調査用写しを送付していない

国際事務局記入欄

記録原本の受理の日

様式:PCT/RO/101（最終用紙）（1998年7月）

P C T

手数料計算用紙

願書附属書

受理官庁記入欄

国際出願番号

受理官庁の日付印

出願人又は代理人の書類記号

PNT980646

出願人

株式会社 日立製作所

所定の手数料の計算

1. 及び 2. 特許協力条約に基づく国際出願等に関する法律（国内法）
第18条第1項第1号の規定による手数料（注1）
（送付手数料〔T〕及び調査手数料〔S〕の合計）

95,000 円 T+S

3. 国際手数料（注2）

基本手数料

国際出願に含まれる用紙の枚数 40 枚

最初の30枚まで

62,800 円 b1

10 × 1,450 円 =

14,500 円 b2

30枚を超える用紙の枚数 用紙1枚の手数料

b1及びb2に記入した金額を加算し合計額をBに記入

77,300 円 B

指定手数料

国際出願に含まれる指定数（注3） 6

6 × 14,500 円 =

87,000 円 D

支払うべき指定手数料
の数（上限は11）
（注4）

指定手数料

B及びDに記入した金額を加算し、合計額をIに記入

164,300 円 I

4. 納付すべき手数料の合計

T+S及びIに記入した金額を加算し、合計額を合計に記入

259,300 円

合 計

（注1）送付手数料及び調査手数料については、合計金額を特許印紙をもって納付しなければならない。

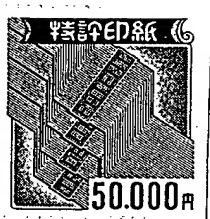
（注2）国際手数料については、受理官庁である日本国特許庁の長官が告示する国際事務局の口座への振込みを証明する書面を提出することにより納付しなければならない。

（注3）願書第V欄で×印を付した口の数。

（注4）指定数を記入する。ただし、11指定以上は一律11とする。

特許印紙

貼付欄



送付手数料・調査手数料

95,000円

ご利用明細

ご来店いただき
ありがとうございます。

東京三菱銀行

年月日	取扱店番	お取引内容
110120	00428106	お振込み
受付通番	銀行番号	支店番号
0178		
お取扱金種	お取引金額	
16 0 4	¥164,300*	
お取扱い できない場合	残高	
時刻 14.56	振込手数料	おつり
		¥200*
東京三菱銀行 内幸町支店 普通 0473286 WIPO-PCT GENEVA 様 ヘンリシ タカハシアキオ 様 03-3661-0071		

基本手数料	77,300円
指定手数料	87,000円
合 計	164,300円

委 任 状

平成 11 年 1 月 11 日

我々は、弁理士 高橋 明夫 氏を代理人と定め、
「データ処理装置」
の国際出願に関し、下記の権限を委任します。

記

1. 特許協力条約に基づく国際出願に関する一切の件
2. 国際予備審査に関する一切の件
3. 上記出願又は指定を取り下げる件

あて名 東京都小平市上水本町五丁目 20 番 1 号
株式会社日立製作所 システム L S I 開発センタ内
氏 名 波多江 博



あて名 東京都小平市上水本町五丁目 20 番 1 号
株式会社日立製作所 システム L S I 開発センタ内
氏 名 渡辺 浩巳



委任状

平成 11 年 1 月 11 日

東京都千代田区神田駿河台四丁目6番地

株式会社 日立製作所

代表者 金井 務



我々は、弁理士 高橋 明夫 を代理人と定め、
「データ処理装置」
の国際出願に関し、下記の権限を委任します。

記

1. 特許協力条約に基づく国際出願に関する一切の件
2. 国際予備審査に関する一切の件
3. 上記出願又は指定を取り下げる件

P C T

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

REC'D 27 JUL 1999

WIPO PCT

出願人又は代理人 の書類記号 PNT980646	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/J P99/00181	国際出願日 (日.月.年) 20.01.99	優先日 (日.月.年)
国際特許分類(IPC) Int. Cl ⁸ G06F9/38, G06F15/80, H04N7/36		
出願人(氏名又は名称) 株式会社日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 3 ページである。
3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
 - II ☐ 優先権
 - III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 - IV ☐ 発明の単一性の欠如
 - V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 - VI ☐ ある種の引用文献
 - VII ☐ 国際出願の不備
 - VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 20.01.99	国際予備審査報告を作成した日 05.07.99	
名称及びあて先 日本国特許庁(IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 伊知地 和之 電話番号 03-3581-1101 内線 3545	5B 9291

1. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1 - 16, ページ、 出願時に提出されたもの
明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2 - 13 項、 出願時に提出されたもの
請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 1, 14 - 20 項、 28.06.99 付の書簡と共に提出されたもの

☒ 図面 第 1 - 16 ページ/図、 出願時に提出されたもの
図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲 1 - 20

有

請求の範囲

無

進歩性(IS)

請求の範囲 1 - 20

有

請求の範囲

無

産業上の利用可能性(IA)

請求の範囲 1 - 20

有

請求の範囲

無

2. 文献及び説明(PCT規則70.7)

請求の範囲1-20

CPUにより制御される演算ユニットと、該演算ユニットと記憶手段とを接続するローカルデータバスとを備えたデータ処理装置において、前記ローカルデータバスが前記CPUの持つデータバス幅より広いバス幅を持つことは、国際調査報告に列記されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

請求の範囲

1. (補正後) CPUにより制御される第一の演算ユニットと、第一の記憶手段と、上記CPUのデータバス幅よりも広いバス幅を持ち、上記第一の演算ユニットと上記第一の記憶手段とを接続するローカルデータバスと、上記CPU、上記第一の演算ユニット及び上記第一の記憶手段に共通に接続されたアドレスバスを持つデータ処理装置。
2. 上記第一の演算ユニットがSIMD型の演算器である第1項記載のデータ処理装置。
3. 上記第一の演算ユニットが複数個並列に配置された第1項記載のデータ処理装置。
4. 上記第一の記憶手段が第1メモリと、第2メモリと、上記アドレスバス及び上記データバスに接続されかつ第1メモリと第2メモリ間のデータの転送を制御するDMA回路を持つ第1項記載のデータ処理装置。
5. 上記第一の記憶手段が上記第2メモリから上記第1メモリにDMA回路で転送する際に符号拡張を行う手段を持つ第4項記載のデータ処理装置。
6. 上記第1メモリが第1及び第2ワークメモリを持ち、上記第1の記憶手段が更に上記第1及び第2のワークメモリと上記第1の演算ユニットの接続及び上記第2メモリとの接続を交互に切り替える手段を持つ第4項記載のデータ処理装置。
7. 上記第一の演算ユニットは、上記CPUからの単一命令で複数のデータを並列に演算処理するSIMD制御型の演算器であることを特徴とする請求項第1項に記載のデータ処理装置。
8. 上記第一の演算ユニットは第一の入力端子、第二の入力端子及び第一の出力端子をもち、上記CPUからの制御信号によって動作する複数のプロセッサエレメントと、上記複数のプロセッサエレメントの全ての第

ントの第二の入力端子のビット幅以上のビット幅を持ち第二のレジスタに第二の入力端子のビット幅単位でデータのシフトができる第三のレジスタを持つS I M D制御型の演算器。

1 1. 上記第一のレジスタは、最上位ビットから上記プロセッサエレメントの第一の入力端子のビット幅を全ての上記プロセッサエレメントに共通に供給する接続回路と、全てのビット幅を重なりがないように全てのプロセッサエレメントに供給する接続回路をもつ請求項 1 0 に記載のS I M D制御型の演算器。

1 2. 上記第一のレジスタを最上位ビットから上記プロセッサエレメントの第一の入力端子のビット幅をすべての上記プロセッサエレメントに供給するセレクタを持ち、毎クロックごとに上記プロセッサエレメントにおいては演算処理を、また、上記第一のレジスタでは上記プロセッサエレメントの第一の入力端子のビット幅単位でのデータシフト処理を、上記第二のレジスタと第三のレジスタでは上記プロセッサエレメントの第二の入力端子のビット幅単位でのデータシフト処理を行う手段を持つ請求項 1 0 に記載のS I M D制御型の演算器。

1 3. 上記第一のレジスタには第 1 の画像の複数の画素データを格納され、上記第二のレジスタと第三のレジスタには第 2 の画像の複数の画素データを格納され、上記プロセッサエレメントは上記第一の入力端子と第二の入力端子から加えられるデータの差分を累積する演算回路で構成され、上記複数のプロセッサエレメントのそれぞれから上記第 1 及び第 2 の画像間の複数の動きベクトルに対応する近似度を出力する手段とを持つ画像処理用に用いる請求項 1 1 又は 1 2 に記載のS I M D制御型の演算器。

14. (b) C P U と、第一の演算ユニットと、記憶手段と、上記 C P U と上記記憶手段とを接続するアドレスバスと、上記第一の演算ユニットと上

19/1

記記憶手段とを接続するローカルデータバスとを有するデータ処理装置であって、上記CPUは、命令をデコードする命令デコード回路を有し、上記命令デコード回路の出力で上記第一の演算ユニットを制御し、上記ローカルデータバスは上記CPUよりも広いバス幅を持つことを特徴とするデータ処理装置。

15.(b)上記第一の演算ユニットがSIDM型の演算器である請求項14記載のデータ処理装置。

16.(b)CPUと、上記CPUによって制御される第一の演算ユニットと、上記CPUとアドレスバスで接続された記憶手段と、上記アドレスバスと上記記憶手段とに接続されたDMA回路と、上記演算ユニットと上記記憶手段とに接続され、上記CPUのデータバス幅よりも広いバス幅を有するローカルデータバスとを有することを特徴とするデータ処理装置。

17.(b)上記第一の演算ユニットがSIDM型の演算器である請求項16記載のデータ処理装置。

18.(b)命令を格納した第一のメモリと、アドレスバスと第一のデータバスとを介して上記第一のメモリに接続されたCPUと、上記CPUに上記アドレスバスを介して接続された第二のメモリと、上記第二のメモリに第二のデータバスを介して接続された演算ユニットを有し、上記第二のデータバスは上記第一のデータバスよりも広いバス幅であることことを特徴とするデータ処理装置。

19.(b)上記演算ユニットがSIDM型の演算器であることを特徴とする請求項18記載のデータ処理装置。

20.(b)上記アドレスバスと上記第一のデータバスと上記第二のメモリとに接続されたDMA回路を有することを特徴とする請求項18又は19記載のデータ処理装置。

PCT

E F



国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 PNT980646	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JP99/00181	国際出願日 (日.月.年) 20.01.99	優先日 (日.月.年)
出願人(氏名又は名称) 株式会社 日立製作所		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☐ 出願人が提出したものを承認する。

☒ 次に示すように国際調査機関が作成した。

データ処理装置及び演算器

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl[°] G 06 F 9/38
 Int. Cl[°] G 06 F 15/80
 Int. Cl[°] H 04 N 7/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl[°] G 06 F 9/38
 Int. Cl[°] G 06 F 15/80
 Int. Cl[°] H 04 N 7/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940-1999年
 日本国公開実用新案公報 1971-1995年
 日本国登録実用新案公報 1994-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 7-200324, A (インターナショナル・ビジネス・マ シーンス・コーポレイション), 4. 8月. 1995 (04. 0 8. 95), 第5欄第1行目~第10欄第38行目及び図1&U S, 5506957, A	1 2、7
A	J P, 9-69047, A (ソニー株式会社), 11. 3月. 19 97 (11. 03. 97) & EP, 762272, A	1-9
A	J P, 6-324868, A (日立超エル・エス・アイ・エンジニ アリング株式会社), 25. 11月. 1994 (25. 11. 9 4) (ファミリーなし)	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技术水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

13. 04. 99

国際調査報告の発送日

27.04.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中野 裕二

5 B

9462

電話番号 03-3581-1101 内線 3546

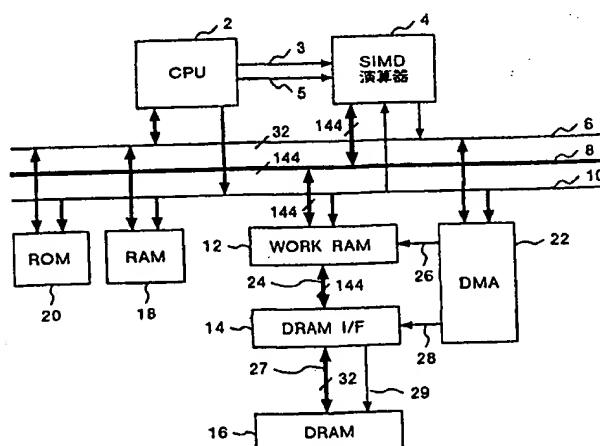
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 2-306361, A (日本電気株式会社), 19. 12 月. 1990 (19. 12. 90) (ファミリーなし)	1-9
A	J P, 5-268593, A (日本電信電話株式会社), 15. 1 0月. 1993 (15. 10. 93) (ファミリーなし)	10-13



(51) 国際特許分類6 G06F 9/38, 15/80, H04N 7/36	A1	(11) 国際公開番号 WO00/43868 (43) 国際公開日 2000年7月27日(27.07.00)
(21) 国際出願番号 PCT/JP99/00181 (22) 国際出願日 1999年1月20日(20.01.99) (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 波多江博(HATAE, Hiroshi)(JP/JP) 渡辺浩巳(WATANABE, Hiromi)(JP/JP) 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 システムLSI開発センタ内 Tokyo, (JP) (74) 代理人 弁理士 高橋明夫(TAKAHASHI, Akio) 〒103-0025 東京都中央区日本橋茅場町二丁目9番8号 友泉茅場町ビル 日東国際特許事務所 Tokyo, (JP)		(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書

(54)Title: DATA PROCESSOR AND DEVICE FOR ARITHMETIC OPERATION

(54)発明の名称 データ処理装置及び演算器



4... SDMD CIRCUIT

(57) Abstract

A data processing apparatus for effectively and quickly processing a large amount of data by processors, e.g., for detection of motion vectors in image processing. An SDMD circuit (4) controlled by a CPU (2) is connected with a WORKRAM (12) through a local bus (8) that is wider than the data bus (6) of the CPU (2). An address bus (10) is connected commonly with the SDMD circuit (4), the WORKRAM (12), and the CPU (2). The CPU (2) integrally controls the SDMD circuit (4) and the WORKRAM (12) to perform high-speed data processing.

画像処理における動きベクトル検出の演算処理のように、プロセッサを使用して大量のデータを高速かつ効率的に演算処理するデータ処理装置である。CPU 2により制御されるSDMD演算器4とWORKRAM 12とをCPU 2のデータバス6のバス幅よりも広いバス幅をもつローカルバス8で接続し、アドレスバス10はSDMD演算器4、WORKRAM 12及びCPU 2に共通に接続し、CPU 2によってSDMD演算器4、WORKRAM 12を一元的に管理し、高速データ処理を行う。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

データ処理装置及び演算器

技術分野

- 5 本発明はデータ処理装置、更に詳しく言えば、映像信号圧縮、伸長処理で用いる動き検出、動き補償の処理等のように、大量のデータをプロセッサを使用して高速かつ効率的に行うデータ処理装置に関するものである。

10 背景技術

- 画像や音声の伸張、圧縮処理等では大量のデータに対し、同一の演算処理を繰り返し高速度で行う必要がある。そのため、上記同一の演算処理を行う部分は専用の演算装置を備え、その演算装置を高速動作させるため、並列に配置された複数のプロセッサエレメント（演算ユニット）を
15 持ち、それらを同一のプログラムによって動作させるSIMD（Single Instruction Multiple Data）演算装置で構成するデータ処理装置が知られている。なお、SIMD演算装置については、文献「インターフェイス」の1998年3月号の111頁から113頁に記載がある。具体的には、米国インテル社のペンティアムのMMXテクノロジーが知られて
20 いる。

- SIMD方式の演算装置では、メモリからデータを絶え間なく供給し、演算器の稼働率を上げることが、パフォーマンスを決める重要な要素となる。しかし、従来知られているセントラルプロセッサユニット（CPUと略称）とSIMD方式の演算器を組み合わせたデータ処理装置は、
25 装置構成上、CPUとSIMD演算装置が共通のデータバス及びアドレスバスを介して接続されている。そのため、メモリーからSIMD演算装

置内のレジスタへのデータ転送を行い、次に演算を行い、次にレジスタ内の演算結果をメモリーに転送して、次のデータ処理が開始できるという動作であった。この場合、隣接したプロセッサエレメントで使
5 用したデータを使用して、演算効率を上げることができないという問題があっ
た。

この問題を解決するため考えられる方式は、システム LSI の考え方
に従って SIMD 演算装置と内蔵メモリとの間をシステムバスと独立の大
きなバス幅のローカルバスで接続することが考えられる。しかしこの方
式では SIMD 演算装置とメモリのデータ転送性能は向上するが、CP
10 Uから SIMD 演算装置に受け渡す演算命令を限定しないシステムバス
のトラヒックが問題となり、CPUと SIMD 演算装置の両方にアドレ
ス発生器を必要とし、CPUはメモリのデータ読み出しと SIMD 演算
装置のデータ格納との両者を一元的に管理できない。そのため、SIM
D 演算装置の高速性能を有効に利用することができないという問題があ
15 る。

発明の開示

本発明の主な目的は、データの高速処理ができるデータ処理装置を実現
することである。

20 本発明の他の目的は、中央処理装置によって制御されかつメモリとロ
ーカルバスで接続された演算ユニットを持つデータ処理装置において、
中央処理装置がメモリのデータ読み出しと演算ユニットのデータ格納と
の両者を一元的に管理できるデータ処理装置を実現することである。

本発明の更に他の目的は、演算ユニットを構成するプロセッサエレ
25 メントに対するデータの供給を絶え間なくできるようにして、できるだけ
毎クロック演算が可能になり、データの高速処理ができるデータ処理装

置を実現することである。

上記目的を達成するため、本発明のデータ処理装置は、CPU装置により制御される演算ユニットと、第一の記憶手段と、上記CPU、演算ユニット及び第一の記憶手段に共通に接続されたアドレスバスと、上記CPUのもつデータバスのバス幅より広いバス幅を持ち上記演算ユニットとを結合するローカルデータバスとを設けて構成した。

本発明では、第一の記憶手段と演算ユニットとの間にローカルデータバスを設けることにより、データ転送性能を向上し、CPUから演算ユニットへ制御線を接続することにより、演算ユニットへ供給される演算命令をシステムバスのトラフィックから独立している。更に、アドレスバスは、CPU装置、演算ユニット及び第一の記憶手段に共通に接続されたため、アドレス発生器は、CPU装置のみに設ければよく、演算ユニットに設ける必要がない。第一の記憶手段も演算ユニットのレジスタと共にCPU装置のアドレス空間にあり、CPU装置は第一の記憶手段のデータ読み出しと、演算ユニットのレジスタのデータ格納との両者のアドレス指定を一元的に管理できる。

本発明の好ましい実施形態によれば、上記演算ユニットは複数のプロセッサエレメントを持つSIMD制御型の演算器で構成され、上記各プロセッサエレメントは第一の入力端子と第二の入力端子と出力端子を持ち、全てのプロセッサエレメントの第一の入力端子のビット幅を合計したビット幅の第一のレジスタと、全てのプロセッサエレメントの第二の入力端子のビット幅を合計したビット幅の第二のレジスタと、プロセッサエレメントの第二の入力端子のビット幅以上のビット幅を持ち第二のレジスタに第二の入力端子のビット幅単位でデータのシフトができるように構成された第三のレジスタをもつ構成とする。

本発明のデータ処理装置は特に以下の実施形態で説明するように、画

像の符号化処理に置ける動き検出処理などに有効であるが、高速の演算処理をCPUの処理と平行して行う必要がある処理装置に適用できる。

図面の簡単な説明

- 第1図は本発明によるデータ処理装置の第1実施例の構成を示すブロック図
- 5 第2図は第1図のSIMD型演算器4の内部構成を示す回路図
- 第3図は第1図のCPU2の内部構成図
- 第4図は第2図のプロセッサエレメント38の内部構成図
- 第5図は第2図のSIMD型演算器4の動作説明図
- 10 第6図は第2図のSIMD型演算器4の動作説明図
- 第7図は第1実施形態で用いる参照画像データの説明図
- 第8図は第1実施形態で用いる符号化画像データの説明図
- 第9図は第1図のDRAM16上のアドレスマップ
- 第10図は第1図のワークRAM12上のアドレスマップ
- 15 第11図は第1実施形態の動作フローチャート
- 第12図は第1実施形態のSIMD型演算器4のレジスタのデータ転送の様子を説明する図
- 第13図は第1実施形態におけるベクトル(0, 0)の演算範囲の説明図
- 20 第14図は第1実施形態におけるベクトル(1, 0)の演算範囲の説明図
- 第15図は本発明によるデータ処理装置の第2実施形態の構成を示すブロック図
- 第16図は第2実施形態のCPUの内部構成図
- 25 第17図は第2実施形態の動作フローチャート
- 第18図は本発明によるデータ処理装置の第3実施形態の構成を示すブ

ロック図

第 19 図は本発明によるデータ処理装置の第 4 実施形態の構成を示すブ

ロック図

第 20 図は第 4 実施形態における VPU 160 の内部構成図

5

発明を実施するための最良の形態

<実形態 1>

第 1 図は本発明によるデータ処理装置の第 1 の実施形態の構成を示す
ブロック図である。本実施形態のデータ処理装置は、画像符号化処理に
10 おいて、ブロックマッチング法による動き検出の処理を演算ユニットで
行うものである。先に装置の構成を説明し、後で動き検出の処理の動作
を説明する。

図示のように本データ処理装置は、中央処理装置（以下 CPU と略称）
2 により制御線 3 及び 5 を介して直接制御される SIMD 演算器で構成
15 された演算ユニット 4 と、記憶手段であるワーク RAM 12 と、CPU
2、演算ユニット 4 及びワーク RAM 12 に共通に接続されたアドレス
バス 10 と、CPU 2 のもつデータバス 6 のバス幅より広いバス幅を持
ち演算ユニット 4 とワーク RAM 12 を結合するローカルデータバス 8
とをもつ。

20 CPU 2 は、命令をデコードし全体を制御する。本実形態では、RISC
型マイクロプロセッサを用いている。20 は CPU 装置 2 のプログ
ラムなどを格納する ROM、18 は CPU 装置 2 のデータあるいはプロ
グラムなどを格納する RAM である。12 は SIMD 型演算器 4 の演算
データを一時的に保持するためのワーク RAM、16 は画像データが格
25 納される DRAM、14 は DRAM 16 とワーク RAM 12 との DRAM
インターフェイス回路、22 は DRAM 16 とワーク RAM 12 との

DMA (Direct Memory Access) 転送を制御するDMA回路である。

本実施例は、3種のバスを有し、CPU 2のデータバス6のバス幅は32ビット、アドレスバス10のバス幅は32ビット、データバス8及び24のバス幅は144ビットである。図中バス線に斜線とを付し数は
5 バス幅(ビット数)を示す。

以下各部の構成動作を詳しく説明する。

第2図は、第1図のSIMD型演算器4の内部構成を示す回路図である。演算ユニット4は16個の並列に配置されたプロセッサエレメント38、40…42、44を持つSIMD制御型の演算器で構成され、各
10 プロセッサエレメントは、セクタ32を介してレジスタ30に接続された第一の入力端子とレジスタ34に接続された第二の入力端子とデータバス6及び8に接続された出力端子を持つ。レジスタ30は全てのプロセッサエレメント38、40…42、44の第一入力端子のビット幅を合計したビット幅を持つ。レジスタ34は全てのプロセッサエレメント
15 の第二入力端子のビット幅を合計したビット幅を持つ。更にプロセッサエレメントの第二入力端子のビット幅以上のビット幅を持ち、レジスタ34に第二の入力端子のビット幅単位でデータのシフトができる第三のレジスタ36をもつ。

各プロセッサエレメント38、40…42、44は、制御線3と5を
20 介してCPU 2によって制御される。レジスタ30からプロセッサエレメント38、40…42、44へのデータ供給は、セクタ32により変えることができる。また、レジスタ30、34及び36は、それぞれアドレスバス10によって制御される書き込み回路50、46及び48からローカルバス8を介してデータが書き込まれる。

25 第3図は、第1図のRISC型マイクロプロセッサ2の構成を示すブロック図である。この構成は、従来知られているマイクロプロセッサの

構成と全く同様で、命令フェッチ回路 60 からフェッチした命令を線路 72 を介して入力しデコードする命令デコード回路 58、命令デコード回路 58 からの命令 68 を実行する演算回路 64、プログラムカウンタ 54、汎用レジスタ 56 から構成されている。

- 5 更に命令デコード回路 58 では、例えば、SIMD 型演算器 4 に対する演算命令の場合は信号線 3 を、SIMD 型演算器 4 に対する結果の読み出し命令の場合は信号線 5 をアクティブにする。66、68、62、73 及び 74 は命令及びデータ伝送線である。

- 第 4 図は、上記プロセッサエレメントの構成を示すブロック図である。
- 10 SIMD 型演算器 4 の 16 個のプロセッサエレメント 38、40、…42、44 の構成は全て同じである。ここでは、代表してプロセッサエレメント 38 を例に説明する。プロセッサエレメント 38 は、演算回路 80、81 の演算結果を保持するためのレジスタ 82、ローカルデータバス 8 又はデータバス 6 への読み出しを制御するための読み出し制御回路 84 から構成されている。演算回路 80 には、レジスタ 30 の 144 ビットのビット幅の一部の 9 ビットがバス 37 を介して、また、レジスタ 34 の 144 ビットのビット幅の一部の 9 ビットがバス 35 を介して入力される。入力された 2 つのデータは、演算回路 80 で演算（減算）され、演算回路 80 の出力は演算回路 81 でレジスタ 82 の値と加算される。
- 15 演算回路 81 の演算結果はレジスタ 82 に格納される。
- 20

- 第 5 図及び第 6 図は、セクタ 32 の接続形態を説明する図である。
- 第 1 の接続形態では、第 5 図で示されるように、レジスタ 30 の 144 ビットの最上位ビットから 9 ビット a0 が各プロセッサエレメント 38、40…44、42 に共通に供給される。また、第 2 の接続形態では、第 6 図に示されるように、レジスタ 30 の全内容 144 ビットが、上位から 9 ビットずつの a0、a2、…a14、a15 がそれぞれプロセッサ
- 25

エレメント 38、40…44、42に供給される。従って、図に示される a0 の 9 ビットのデータは 0 番のプロセッサエレメント 38 に、a1 の 9 ビットのデータは 1 番のプロセッサエレメント 40 に、という様にデータが分配供給される。

- 5 次に、上記データ処理装置を使用して M P E G 2 の規格による画像信号の符号化処理の中で行われる画像の動き検出を行う場合を説明する。

- 規格 M P E G 2 による画像の動き検出は、水平 16 画素、垂直 16 画素のマクロブロック単位で、符号化されるマクロブロックが、比較対照となる参照画面に対し、探索範囲の中で一番似ているマクロブロックの
10 場所を求め、その 2 つのマクロブロック間の画像フレームにおける距離を求める処理を行う。通常、動き検出は、ブロックマッチング法で行われる。ブロックマッチング法とは、符号化される画像の画素と対応する参照画像の画素の差分絶対値をマクロブロック内の全ての画素に対し累積加算を行って、累積加算値の最も値の小さいマクロブロックの場所を
15 見つける処理を行う。

- 第 7 図及び第 8 図は、それぞれ上記画像を符号化する際の参照画像データ及び符号化画像のマクロブロックである符号化画像の画素を示す。ここでは、参照画像データは水平方向 352 画素、垂直方向 240 画素を想定している。図中丸で囲む記号 ra1、ra2…rb1…rp17…等は画素を
20 識別する記号である。また、マクロブロックは、水平方向 16 画素、垂直方向 16 画素で、図中丸で囲む記号 ta1、ta2…tp16 等は画素を識別する記号である。

- 第 9 図は、第 1 図の D R A M 16 に格納されているデータの様子を示す。図中の記号 r a 1, r a 2, … t a 1 … t b 8 …等は、第 7 図、第
25 8 図に示した記号に対応した画素を表す。アドレス A000 からが参照画像データの領域に割り当てられており、D R A M 16 のビット幅である

3 2 ビットで水平方向の 4 画素が格納されている。アドレス B000 からがマクロブロック即ち符号化画像データの領域に割り当てられている。

第 10 図は、ワーク RAM 12 に格納された符号化画像データと参照画像データを示す。ここでは、アドレス C000 からが参照画像データの領域に割り当てられている。各画素のデータは 9 ビットのデータとなり、
5 アドレス C000 からの 144 ビットには、画素 ral から画素 ral6 までの水平 16 画素のデータが格納される。また、アドレス D000 からが符号化画像データの領域に割り当てられている。参照画像データの場合と同様に、アドレス D000 の 144 ビットに画素 tal から画素 tal6 までの水平
10 16 画素が格納される。

第 11 図は、上記データ処理装置における動き検出の処理フローチャートである。

まず、DRAM 16 のデータ (第 9 図) を DRAM インターフェイス 14 を介して、ワーク RAM 12 に転送する (ステップ 90)。この時、
15 1 画素あたり 8 ビットのデータに符号ビットを付加して、1 画素あたり 9 ビットのデータとする符号拡張を行う。DRAM 16 上で 4 ロングワードのデータを並べて 144 ビットのデータを作り出す。このような転送を繰り返して、バス 24 を介してワーク RAM 12 にデータを格納する。

20 次に、ローカルデータバス 8 を介してワーク RAM 12 から SIMD 演算器 4 のレジスタ 34 に参照画像データを転送する (ステップ 92)。

第 12 図はステップ 92 の詳細な動作を説明するための図で、16 個のプロセッサエレメント 38、40、…42、44 と、144 ビットのレジスタ A 30、レジスタ B 34、レジスタ C 36 の信号の流れを時間
25 との関係で示している。すなわち、縦方向に示す時刻 t とその時のレジスタ 30、34、36 の内容の変化も示している。

前述のように、レジスタA 3 0は、符号化すべき画像の複数の画素データが格納され、一連のビット列の上位9ビットが全てのプロセッサエレメント3 8、4 0…4 2、4 4に共通に供給され、レジスタB 3 4には参照画像の複数の画素データ画格納され、上位9ビットがプロセッサ
5 エレメン3 8に、次の9ビットがプロセッサエレメント4 0とゆうように、9ビット毎に別のプロセッサエレメンに供給され。レジスタC 3 6は、レジスタB 3 4にデータをシフトして供給する。9ビットのシフト命令の場合、レジスタB 3 4の下位9ビットにレジスタC 3 6の上位9ビットが供給される。

10 ここで、時刻 $t = 0$ （ステップ9 2）では、レジスタB 3 4の参照画像データの画素 $ra1$ から画素 $ra16$ までが、1 4 4ビットの幅で一度に転送されていることが分かる。

時刻 $t = 1$ （ステップ9 4）では、ワークRAM 1 2からレジスタC 3 6にデータを転送する。この結果、新たに参照画像データの画素 $ra17$
15 から画素 $ra32$ までが、1 4 4ビットの幅でレジスタC 3 6に一度に転送される。その結果、水平3 2画素の1ラインの参照画像データがレジスタB 3 4とレジスタC 3 6に亘って格納される。

時刻 $t = 2$ （ステップ9 6）では、ワークRAM 1 2からレジスタA 3 0に符号化画像データのマクロブロック画素 $ta1$ から画素 $ta16$ までの
20 1 4 4ビットの幅のデータを一度に転送する。ここで、レジスタ3 0、3 4、3 6演算に必要な全てのデータが格納される。

時刻 $t = 3$ （ステップ9 8）では、プロセッサエレメント3 8、4 0…4 2、4 4による同時並列演算とレジスタ3 4とレジスタ3 6の9ビットのシフトを行う。その結果、プロセッサエレメント3 8は、参照画像データ $ra1$ と符号化画像データ $ta1$ との差分絶対値を求める演算を行
25 う。そして、結果を第4図で示したプロセッサエレメント内部のレジス

タ 8 2 に格納する。また、プロセッサエレメント 4 0 では、同様に、参照画像データ ra2 と符号化画像データ ta1 との差分絶対値を求める演算を行い、プロセッサエレメント 4 0 内部のレジスタ 8 2 に結果を格納する。他のプロセッサエレメント 4 2、4 4 等も同様である。

- 5 時刻 $t = 4$ (ステップ 1 0 0) では、再度、複数のプロセッサエレメントの並列演算とレジスタ 3 4 とレジスタ 3 6 の 9 ビットのシフトを行う。その結果、プロセッサエレメント 3 8 では、参照画像データ ra2 と符号化画像データ ta2 との差分絶対値を求める演算を行う。そして、レジスタ 8 2 のデータと加算して、レジスタ 8 2 に書き込む。また、プロ
- 10 セッサエレメント 4 0 では、同様にして、参照画像データ ra3 と符号化画像データ ta1 との差分絶対値を求める演算を行い、プロセッサエレメント内部のレジスタ 8 2 の値と加算する。

- 15 上述の動作を繰り返し、1 6 回目の演算とレジスタ 3 4 とレジスタ 3 6 の 9 ビットのシフトを行った時 (ステップ 1 0 2) の、レジスタの状態は、第 1 2 図の時刻 $t=18$ で示される。ブロックマッチングを行う範囲が水平 1 6 画素の場合は、この時点で 1 水平ラインの演算が終了する。

- 20 ここで、1 ライン下のデータを演算するために、ワーク RAM 1 2 から 3 つレジスタ 3 0、3 4、3 6 へのデータ転送を行う。まず、時刻 $t = 19$ (ステップ 1 0 4) では、ワーク RAM 1 2 からレジスタ B にデータを転送する。

時刻 $t = 20$ (ステップ 1 0 6) では、ワーク RAM 1 2 からレジスタ 3 6 にデータを転送する。この結果、第 1 2 図の時刻 $t=20$ の状態なり、先に演算したライン下の 1 ラインの参照画像のデータ、画素 rbl から rb32 がレジスタ 3 4 とレジスタ 3 6 にまたがって格納される。

- 25 時刻 $t = 21$ (ステップ 1 0 8) では、ワーク RAM 1 2 からレジスタ A にデータを転送する。この結果、先に演算した下の 1 ラインの符号

化画像の画素 1a1 から 1a16 まではレジスタ A に格納され、3 つのレジスタ 30、34、36 の全てにデータが格納される。そして、前述と同様にして、演算を行う。さらに、この動作を 16 ライン分、繰り返す。

その結果、プロセッサエレメント 38 の内部レジスタ 82 には、全ての画素に対する差分絶対値の累積加算値が格納さる。この値は、第 13 図におけるベクトル (0, 0) のブロックマッチング演算の結果即ちベクトル (0, 0) に対応する近似度を表す。

一方、プロセッサエレメント 40 の内部レジスタ 82 には、第 14 図におけるベクトル (1, 0) のブロックマッチング演算の結果が格納され、同様にして 16 個のプロセッサエレメント 38...44 で同時に 16 個の動きベクトルのブロックマッチング演算の結果を得ることができる。

本実施形態では、ワーク RAM 12 から SIMD 演算器 4 に、データ処理装置のシステムデータ 8 を介することなく、多量のデータが一度に転送できると共に、SIMD 演算器 4 にアドレス発生器を設けることなく、CPU 4 のアドレス管理によってワーク RAM 12 と SIMD 演算器 4 との間のデータ転送が一元的に管理できる。従って、画像処理の動き検出をブロックマッチング法によって行うような、1 つの命令によって同種の多数の演算を必要とするデータ処理に有効である。

<実施形態 2>

第 15 図は本発明によるデータ処理装置の第 2 の実施形態の構成を示すブロック図である。本実施形態は第 1 図のデータ処理装置に第二の SIMD 演算器 130 が追加されている。これに伴い、CPU 131 からの制御線 134 と 132 が追加されている。ここで、第二の SIMD 演算器 130 の内部構成は、第 2 図で示したものと同じで、同一対応構成要素については同じ番号を付して説明を省く。また他の構成要素で第 1 図に示したものと実質的に同じ部分に関しては、同じ番号を付して説明

を省く。

第16図は、第2の実施形態（第15図）におけるCPU131の構成を示すブロック図である。CPU131の構成は、第3図で示した実施形態1におけるCPU2に、命令デコード回路133から出る制御線132及び134が付加された点を除いては、CPU2に実質的に同じである。制御線132及び134は、第二のSIMD演算器130を制御するためのものである。

第17図は、実施形態2のデータ処理装置の動作を説明する処理フローチャートを示す。実施形態2において、SIMD演算器4の3つのレジスタにデータを格納する動作、つまり、DRAM16からワークRAM12にデータ転送する動作（ステップ90）から、ワークRAM12からレジスタAに符号化画像データを転送する動作（ステップ96）までは、第11図に示した同じステップ番号を付した部分と同じである。

ステップ96の次に、本実施形態の場合、SIMD演算器130のレジスタにデータを格納する。最初に、ワークRAM12からレジスタBに参照画像データを転送する（ステップ140）。次に、ワークRAM12からレジスタCに参照画像データを転送する（ステップ142）。最後に、ワークRAM12からレジスタAに符号化画像データを転送する（ステップ144）。そして、実施例1の場合と同様に、プロセッサエレメント（PE）による演算を行う。その結果、同時に32個のプロセッサエレメントを用いて、異なるベクトルのブロックマッチングを行うことができ、より高速の処理ができる。

<実施形態3>

第18図は本発明によるデータ処理装置の第3の実施形態の構成を示すブロック図である。本実施形態では、2つのワークRAM144及び146を持ち、DRAM16側とSIMD演算器4側とを切り替えて使

用する。

ワークRAM144にデータが格納され、このデータを用いてSIMD演算器4が信号処理を行っているとき、ワークRAM144は、セクタ142と152によってSIMD演算器4側に接続されている。一方、ワークRAM146は、セクタ148と150によってDMAC122側に接続されている。そして、ワークRAM146には、DMAC122がDRAM16から、SIMD演算器4が次に使用する画像データを転送している。ここで、SIMD演算器4が、ワークRAM144内の信号処理を終了すると、ワークRAM144とワークRAM146を切り替える。つまり、ワークRAM144をDMAC122側に接続し、ワークRAM146をSIMD演算器4側に接続する。この構成によって、ワークRAM146には、既に使うデータがDRAM16から転送されているため、SIMD演算器4は、すぐに演算動作を開始することができる。従って、演算効率を高めることができる。

15 <実施形態4>

第19図は、本発明によるデータ処理装置の第4の実施形態を示す図である。本実施形態は、発明のデータ処理装置を画像信号圧縮LSIの中に構成したものである。

マイクロプロセッサユニット166のバス184に、各構成要素ブロックが接続されている。構成要素ブロックは、外部のモデムとのインタフェース機能を持つ通信インターフェイス168、外部のオーディオ信号と入出力機能を有するオーディオインターフェイス170、外部のビデオ信号との入出力機能を有するビデオインターフェイスブロック172、可変長符号の符号化と復号化を担当する可変長符号化復号化ブロック164、量子化、逆量子化、DCT、逆DCT処理を担当するQ-DCT/IQ-IDCT
25 ブロック162、DRAM176の制御を担当するDRAM制御ブロッ

ク 1 7 4、動き検出ブロック 1 6 0 を含む。動き検出ブロック 1 6 0 は第 1 の実施形態で説明したものと同一である。

本実施形態では、第 1 図に示した装置と比較して、D R A M インターフェイス 1 4 と D R A M 1 6 に対応する D R A M 1 7 6 が L S I の外に出
5 ている点、また、M P U 1 6 6 が動き検出ブロック 1 6 0 を制御するためのコントロールレジスタ 1 8 5 を持っているところが異なっている。このコントロールレジスタ 1 8 5 により、動き検出ブロック 1 6 0 の C P U 1 8 0 の制御が行われる。

本構成による画像圧縮時の動作を説明する。ビデオインターフェイス
10 ブロック 1 7 2 により入力された符号化画像データは、一度、D R A M 1 7 6 に格納される。そして、マクロブロック単位で動き検出ブロック 1 6 0 のワーク R A M に読み込まれる。この時、対応する探索範囲の参照画像データも同時に、動き検出ブロック 1 6 0 のワーク R A M に読み込まれる。第 1 の実施形態で説明したように、各動きベクトルの差分絶対値演算の累積加算を行う。全ベクトルの演算を終了した後、最も差分絶対値演算値の小さいベクトルをこのマクロブロックに対する動きベクトルとする。そして、この時の符号化画像と参照画像の対応する各画素の差分値をとり、その結果を Q-DCT/IQ-IDCT ブロック 1 6 4 に送る。Q-DCT/IQ-IDCT ブロック 1 6 4 では、動き検出ブロック 1 6 0 から送られてきた結果に対し、D C T 処理と量子化処理を行い、可変長符号化復号化ブロック 1 6 4 に送る。ここでは、可変長符号化処理を行い、画像データの圧縮処理が完了する。
20

上述のように、本発明を画像信号圧縮 L S I に適用することにより、プログラマビリティの高く、高性能な画像信号圧縮 L S I を構成することができる。
25

産業上の利用可能性

上述の実施形態で説明したように、本発明は、SIMD型演算器を構成するプロセッサエレメントに対するデータの供給を絶え間なくできるようになり、特に、画像信号を圧縮、伸長する多大の演算処理を繰り返り行う信号処理における演算効率を上げることができる。

請求の範囲

1. CPUにより制御される第一の演算ユニットと、第一の記憶手段と、
上記CPUのデータバス幅よりも広いバス幅をもち、第一の演算ユニット
と第一の記憶手段と接続するローカルデータバスと、上記CPU、第一
5 の演算ユニット及び上記第一の記憶手段に共通に接続されたアドレスバ
スを持つデータ処理装置。
2. 上記第一の演算ユニットがSIMD型の演算器である第1項記載の
データ処理装置。
3. 上記第一の演算ユニットが複数個並列に配置された第1項記載のデ
10 ータ処理装置。
4. 上記第一の記憶手段が第1メモリと、第2メモリと、上記アドレス
バス及び上記データバスに接続されかつ第1メモリと第2メモリ間のデ
ータの転送を制御するDMA回路を持つ第1項記載のデータ処理装置。
5. 上記第一の記憶手段が上記第2メモリから上記第1メモリにDMA
15 回路で転送する際に符号拡張を行う手段を持つ第4項記載のデータ処理
装置。
6. 上記第1メモリが第1及び第2ワークメモリを持ち、上記第1の記
憶手段が更に上記第1及び第2のワークメモリと上記第1の演算ユニッ
トの接続及び上記第2メモリとの接続を交互に切り替える手段を持つ第
20 4項記載のデータ処理装置。
7. 上記第一の演算ユニットは、上記CPUからの単一命令で複数のデ
ータを並列に演算処理するSIMD制御型の演算器であることを特徴と
する請求項第1項に記載のデータ処理装置。
8. 上記第一の演算ユニットは第一の入力端子、第二の入力端子及び第一
25 の出力端子をもち、上記CPUからの制御信号によって動作する複数の
プロセッサエレメントと、上記複数のプロセッサエレメントの全ての第

- 一の入力端子のビット幅を合計したビット幅の第一のレジスタと、上記複数のプロセッサエレメントの全ての第二の入力端子のビット幅を合計したビット幅を持ち全てのビット幅を重なりがないように全てのプロセッサエレメント第二の入力端子に加える第二のレジスタと、上記プロセッサエレメントの第二の入力端子のビット幅以上のビット幅を持ち第二のレジスタに第二の入力端子のビット幅単位でデータのシフトができる第三のレジスタと、上記第一のレジスタのデータを選択して最上位ビットから上記プロセッサエレメントの第一の入力端子のビット幅を全ての上記各プロセッサエレメントの第一の入力端子に共通に供給するセレクタと、上記アドレスバスによって制御され、上記ローカルバスを介してそれぞれ上記第一、第二及び第三レジスタにデータを書き込む書き込み制御回路と、上記出力端子のデータを上記ローカルデータバスに出力する回路持つSIMD制御型の演算器で構成された請求項第1ないし第7のいずれかに記載されたデータ処理装置。
9. 上記プロセッサエレメントは、上記第一及び第二の入力端子のデータの減算値を一定の範囲に亘り積算し出力する演算回路であり、上記第一のレジスタに符号化すべき画像の複数の画素でデータが格納され、上記第二のレジスタに参照すべき参照画像の複数の画素のデータが格納され、上記複数のプロセッサエレメントの出力を画像の複数の動きベクトルに対応する近似度として取り出す請求項第8に記載の画像処理用データ処理装置。
10. 第一の入力端子、第二の入力端子及び第一の出力端子を持つ複数のプロセッサエレメントと、上記複数のプロセッサエレメントの全ての第一の入力端子のビット幅を合計したビット幅を持つ第一のレジスタと、上記複数のプロセッサエレメントの全ての第二の入力端子のビット幅を合計したビット幅を持つ第二のレジスタと、上記プロセッサエレ

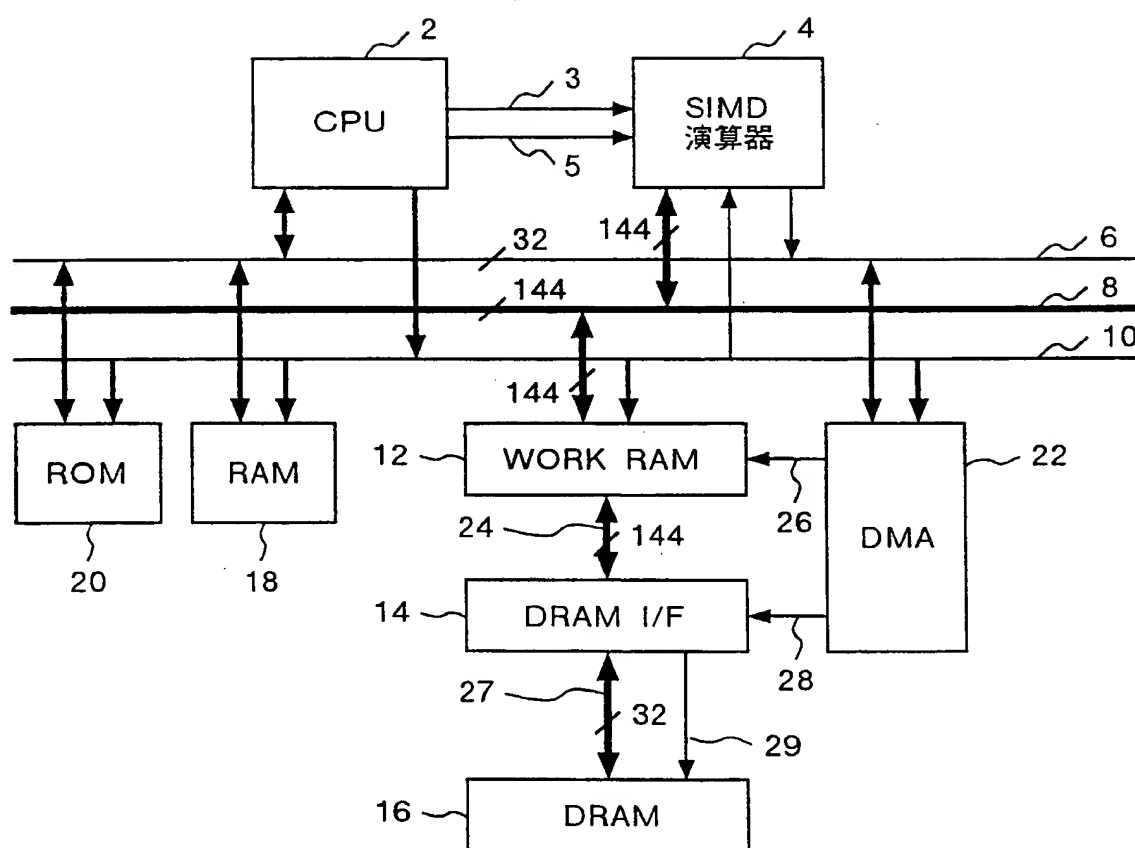
ントの第二の入力端子のビット幅以上のビット幅を持ち第二のレジスタに第二の入力端子のビット幅単位でデータのシフトができる第三のレジスタを持つSIMD制御型の演算器。

1 1. 上記第一のレジスタは、最上位ビットから上記プロセッサエレメントの第一の入力端子のビット幅を全ての上記プロセッサエレメントに
5 共通に供給する接続回路と、全てのビット幅を重なりがないように全てのプロセッサエレメントに供給する接続回路をもつ請求項10に記載のSIMD制御型の演算器。

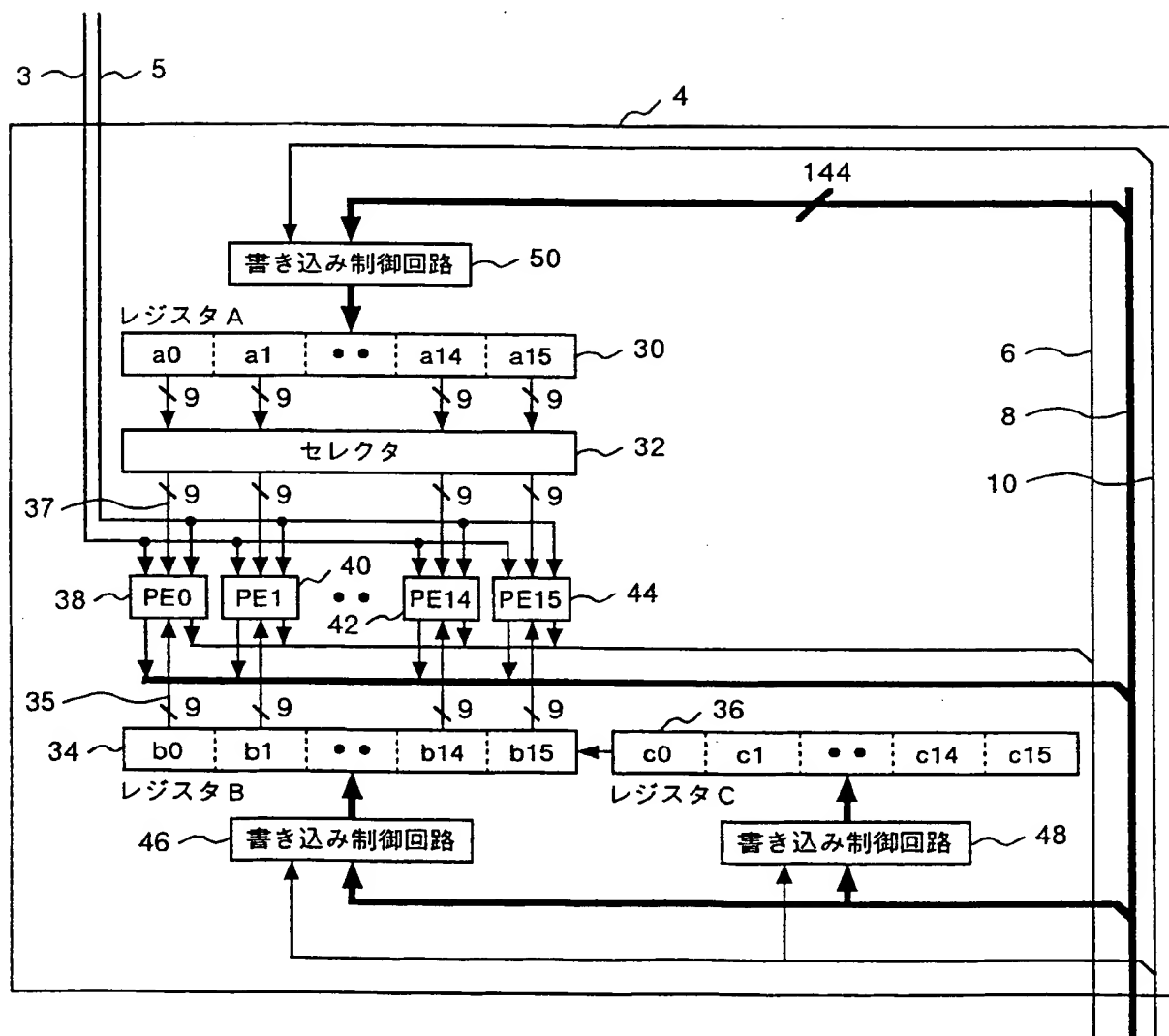
1 2. 上記第一のレジスタを最上位ビットから上記プロセッサエレメントの第一の入力端子のビット幅をすべての上記プロセッサエレメントに
10 供給するセレクタを持ち、毎クロックごとに上記プロセッサエレメントにおいては演算処理を、また、上記第一のレジスタでは上記プロセッサエレメントの第一の入力端子のビット幅単位でのデータシフト処理を、上記第二のレジスタと第三のレジスタでは上記プロセッサエレメントの
15 第二の入力端子のビット幅単位でのデータシフト処理を行う手段を持つ請求項10に記載のSIMD制御型の演算器。

1 3. 上記第一のレジスタには第1の画像の複数の画素データを格納され、上記第二のレジスタと第三のレジスタには第2の画像の複数の画素データを格納され、上記プロセッサエレメントは上記第一の入力端子と第二の入力端子から加えられるデータの差分を累積する演算回路で
20 構成され、上記複数のプロセッサエレメントのそれぞれから上記第1及び第2の画像間の複数の動きベクトルに対応する近似度を出力する手段とを持つ画像処理用に用いる請求項11又は12に記載のSIMD制御型の演算器。

第1図

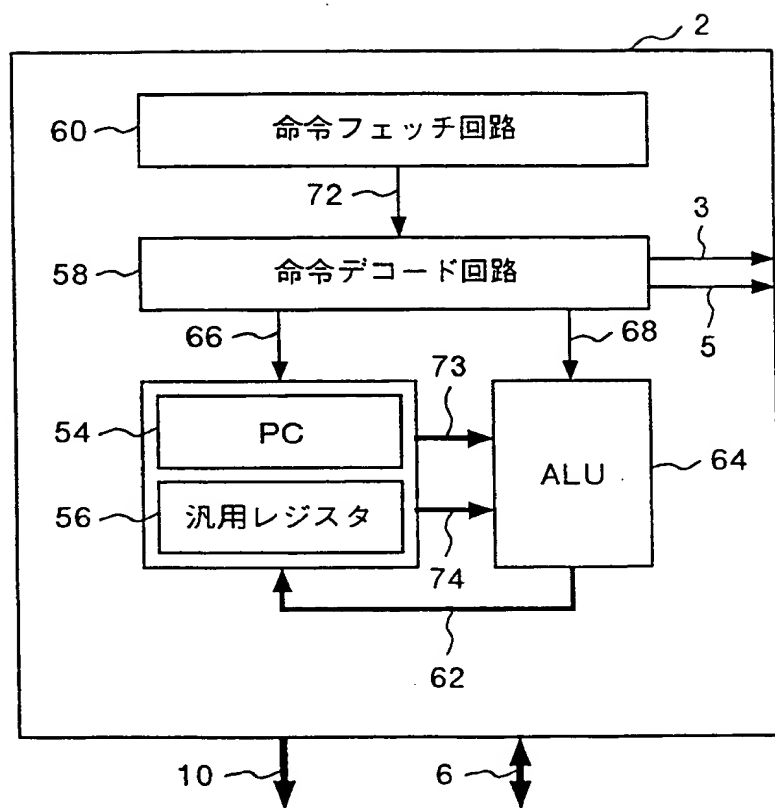


第 2 図

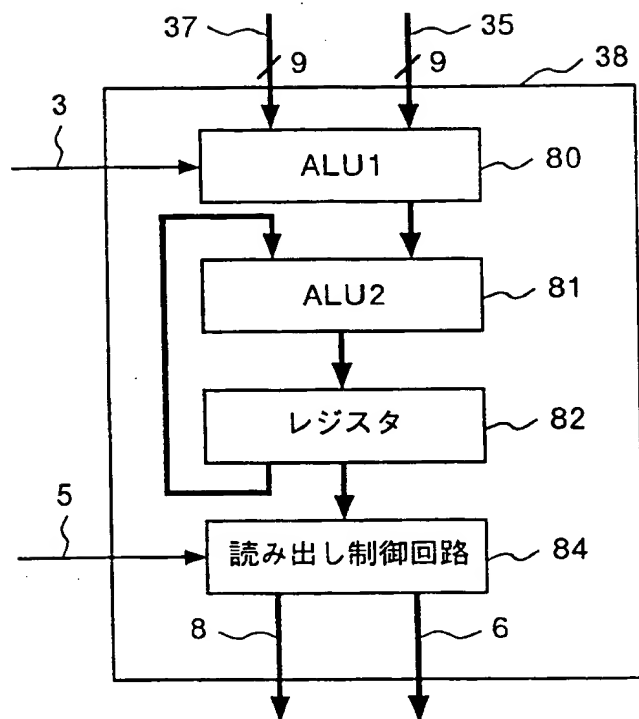


3/16

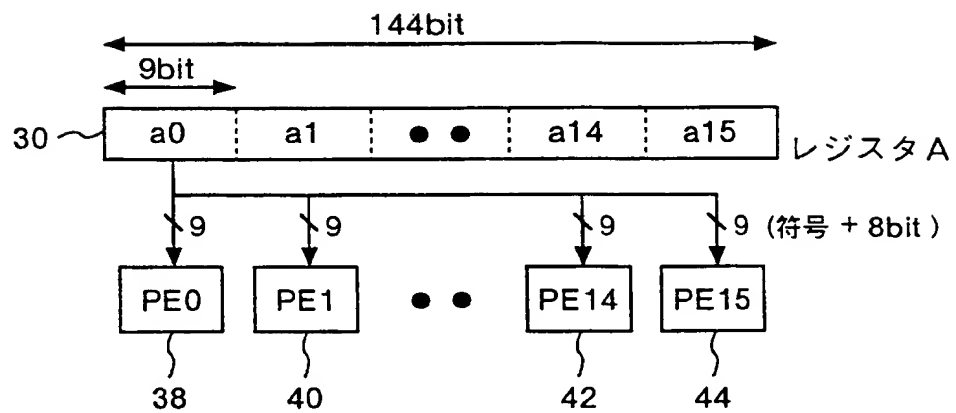
第3図



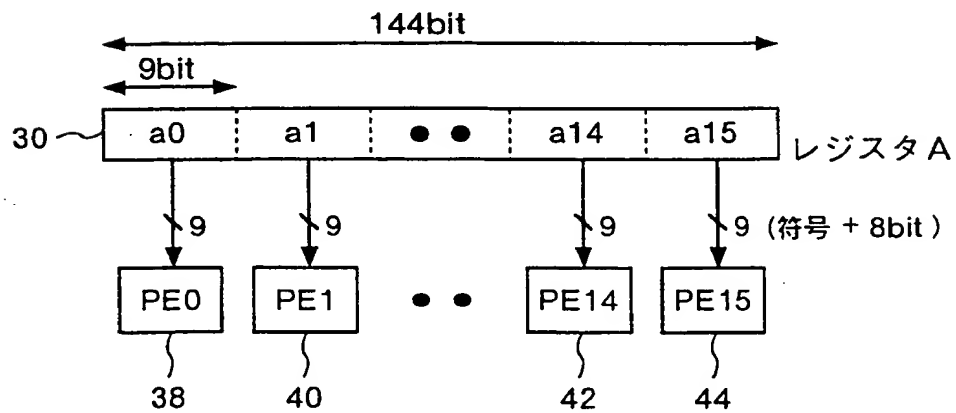
第4図



第 5 図

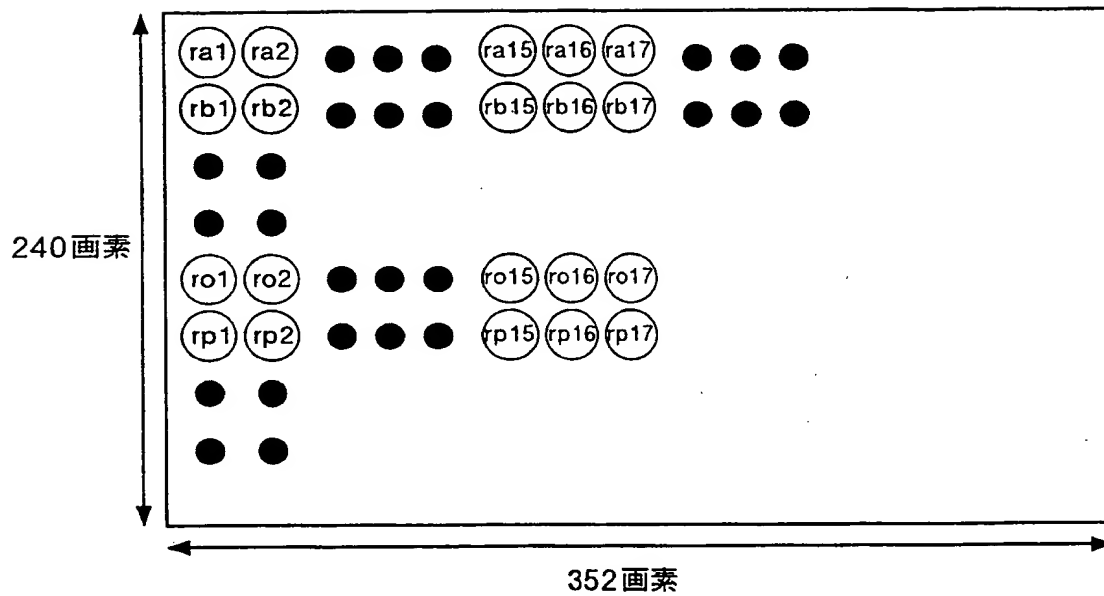


第 6 図

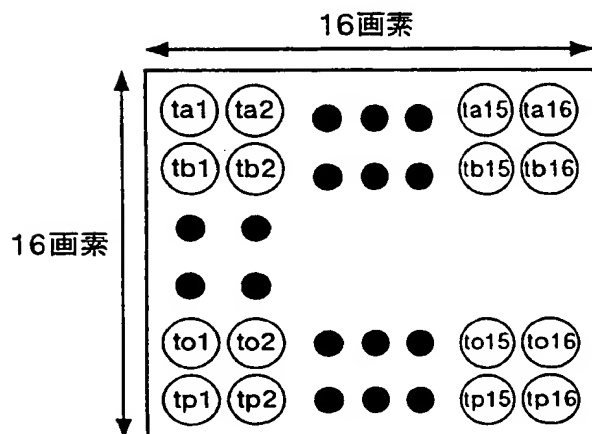


6/16

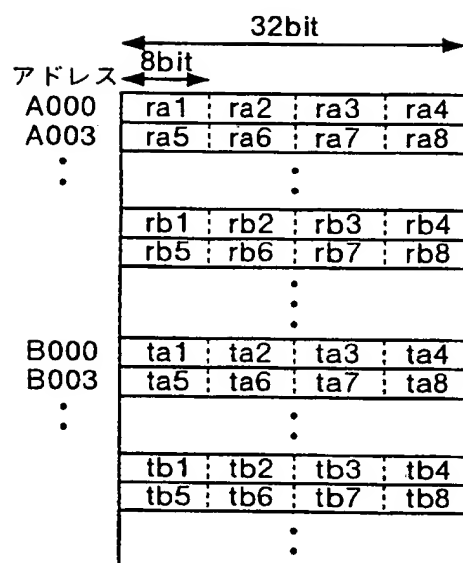
第7図



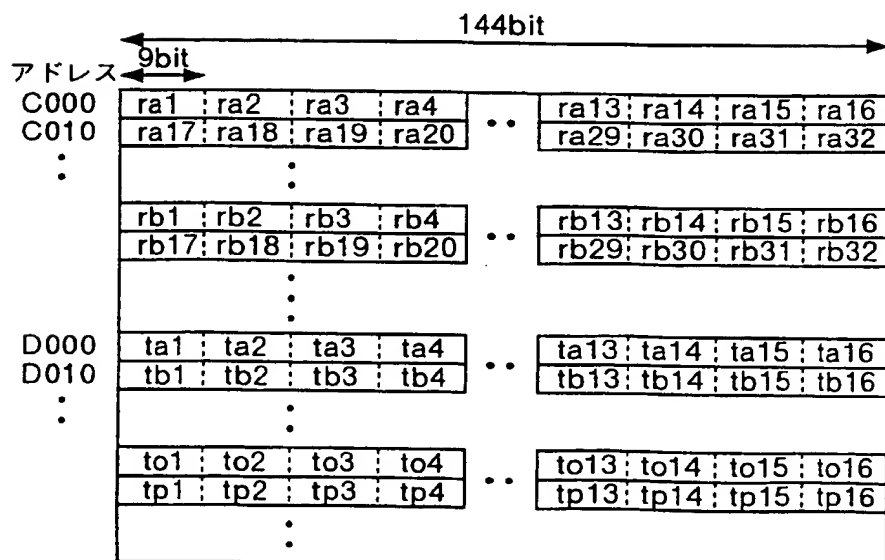
第8図



第 9 圖

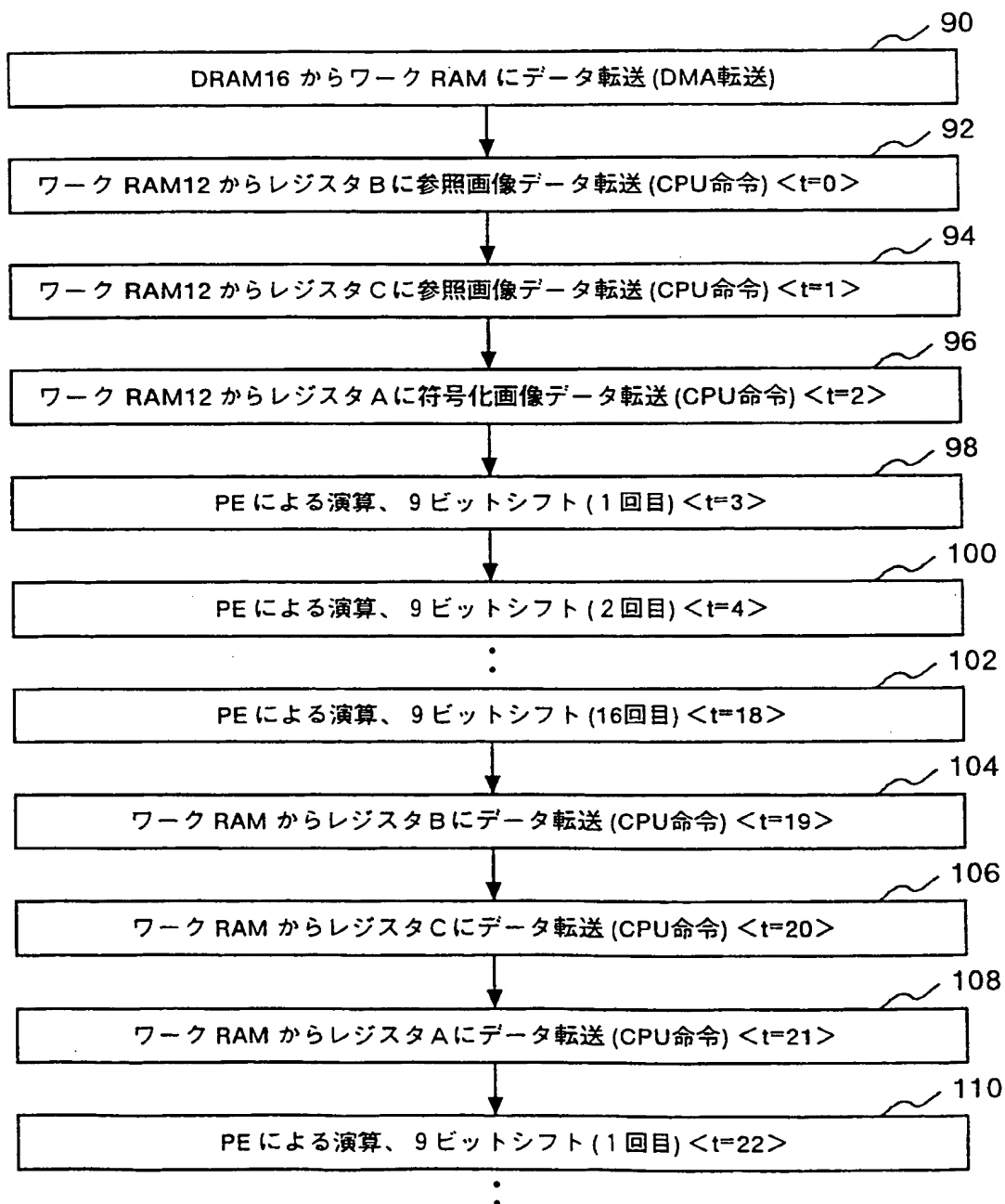


第 10 図



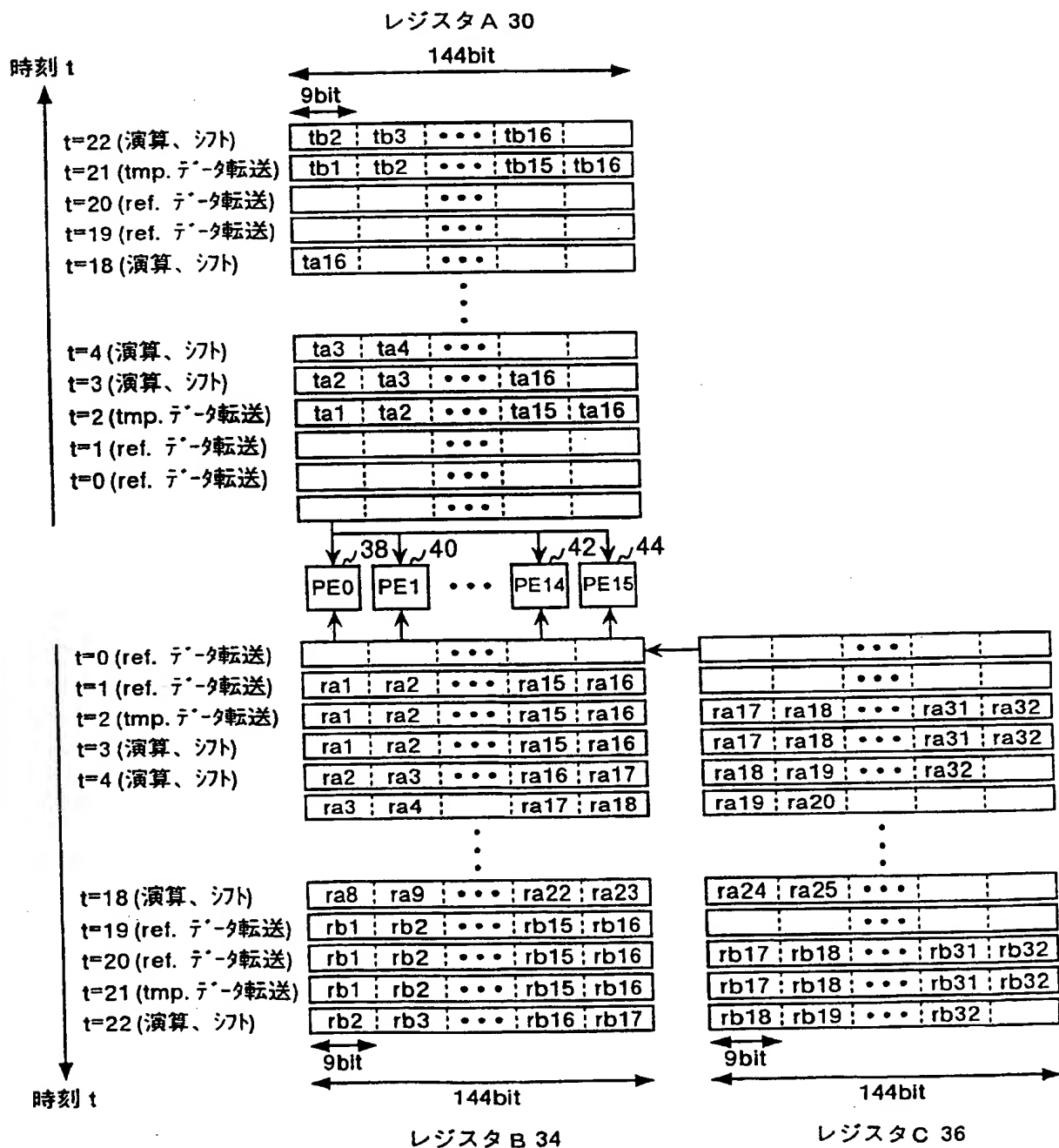
8/16

第 1 1 図



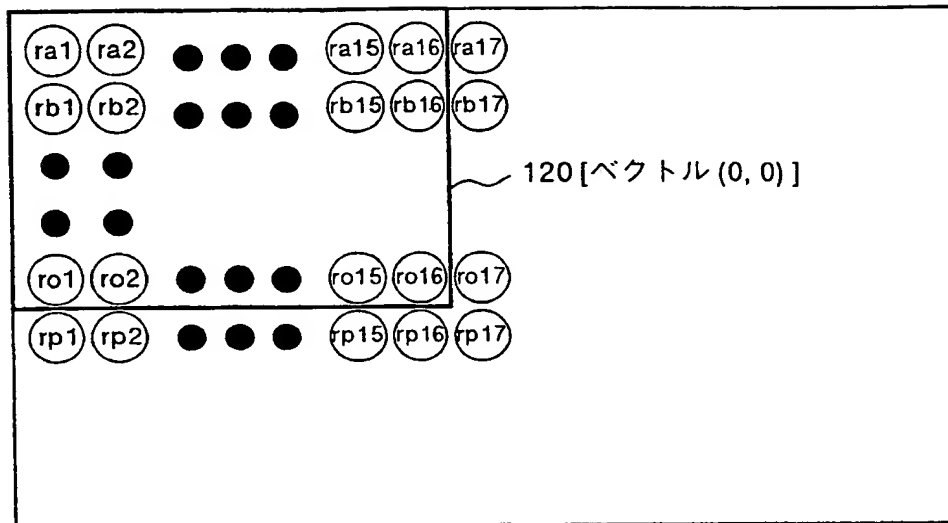
9/16

第 1 2 図

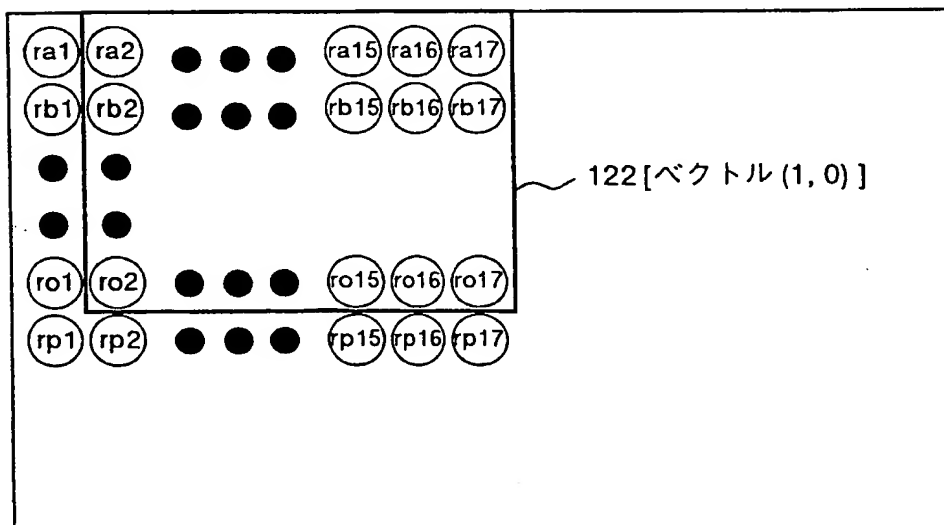


10/16

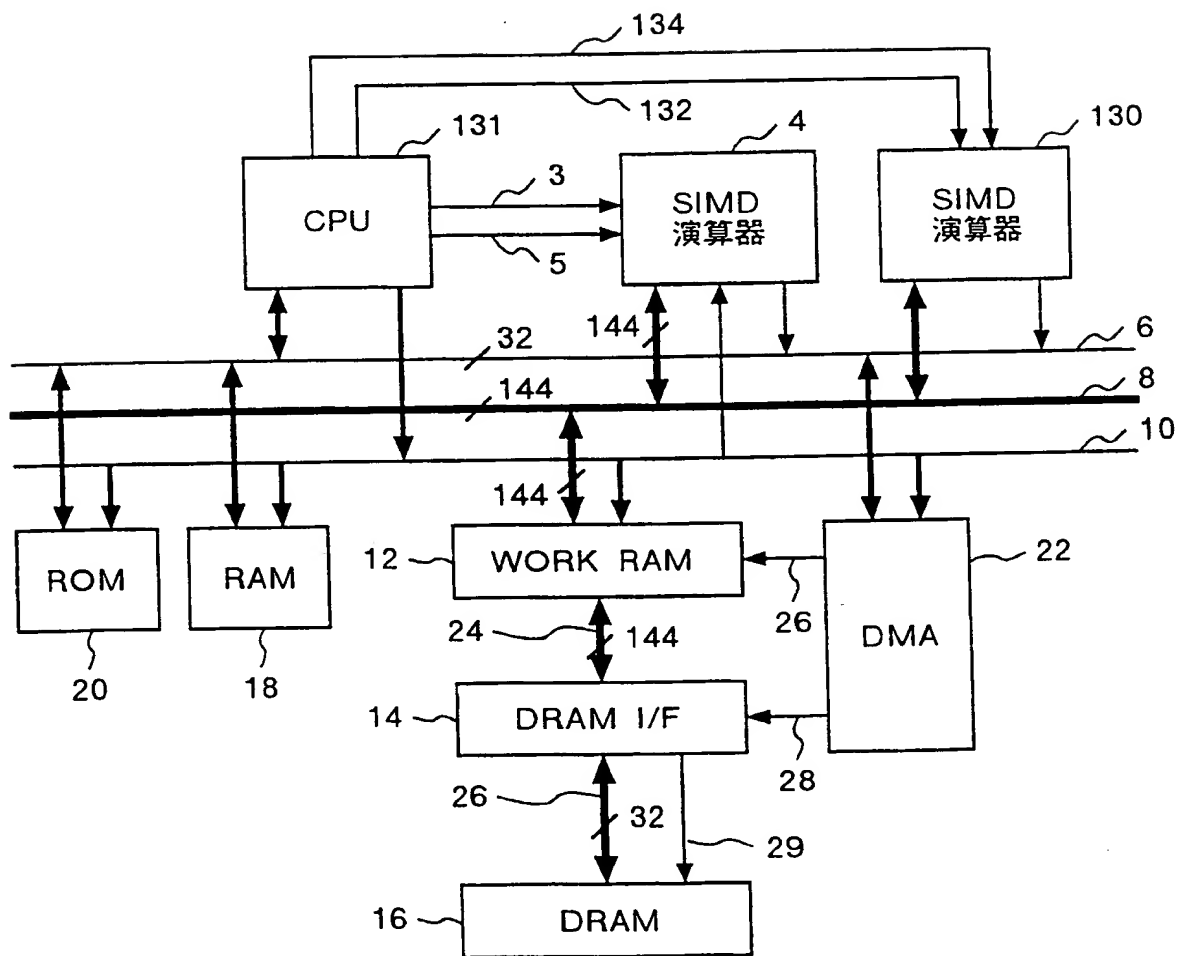
第 1 3 図



第 1 4 図

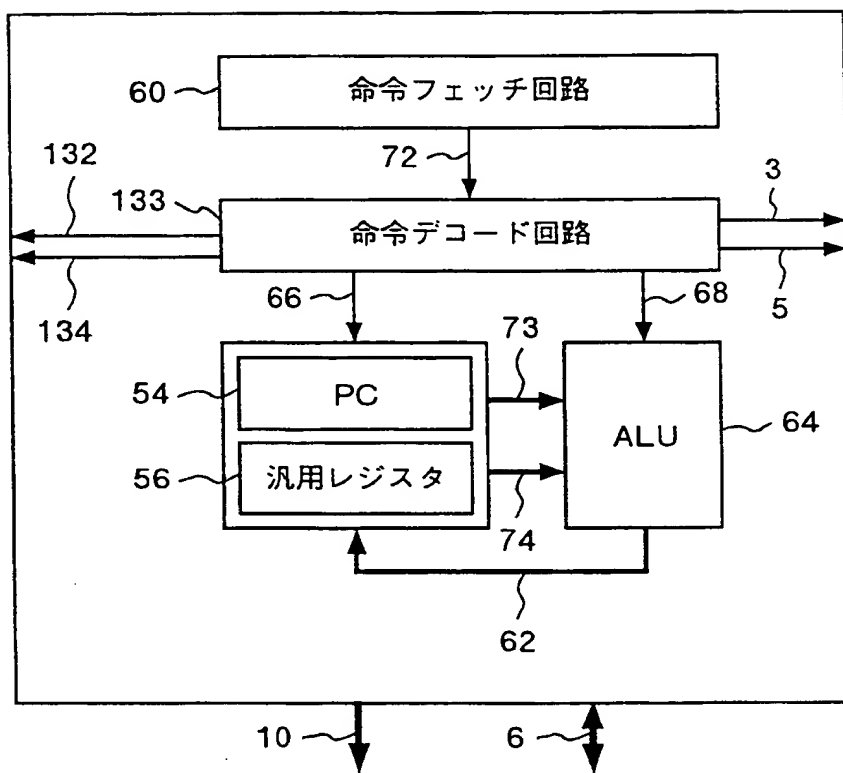


第 1 5 図

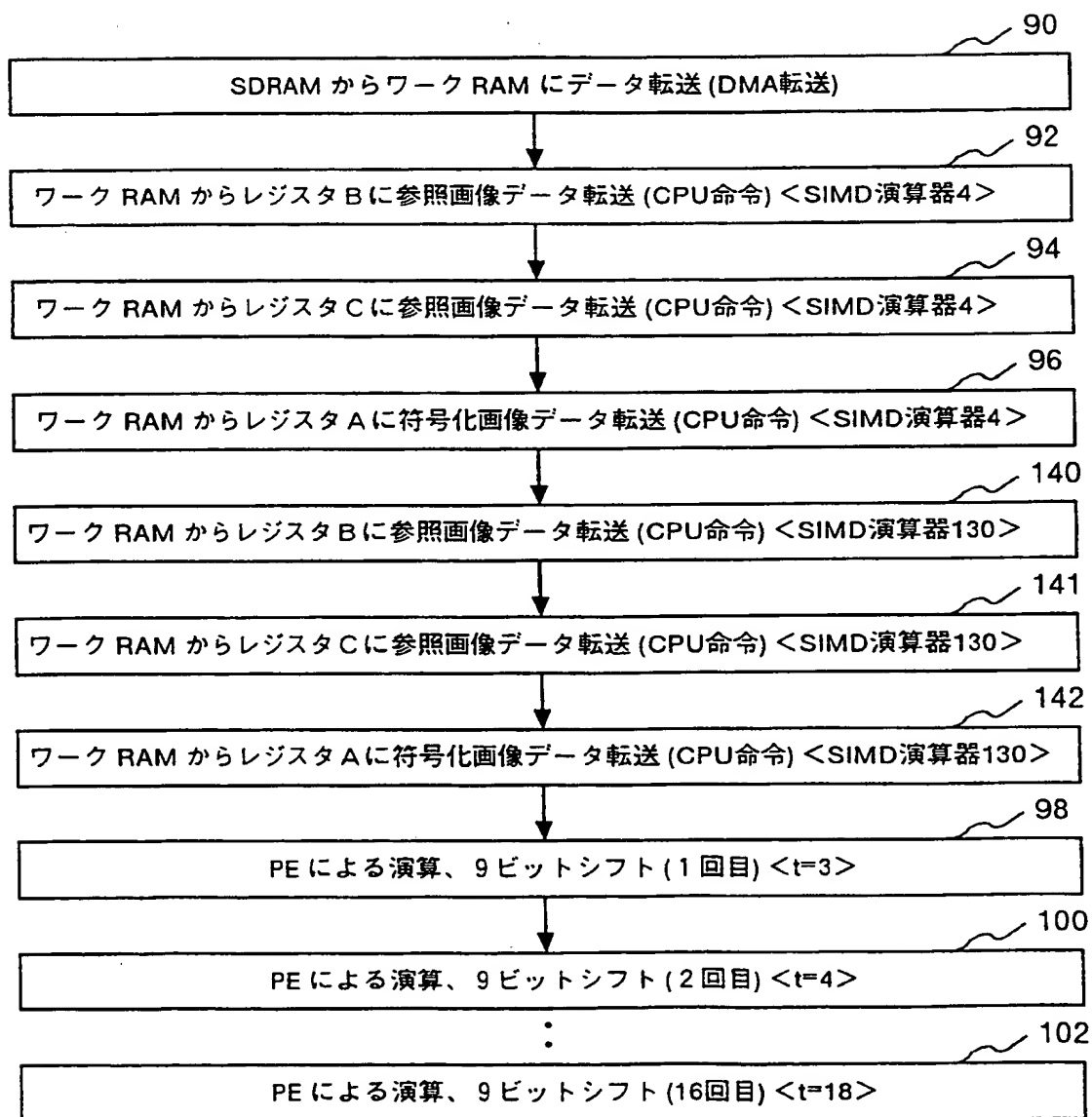


12/16

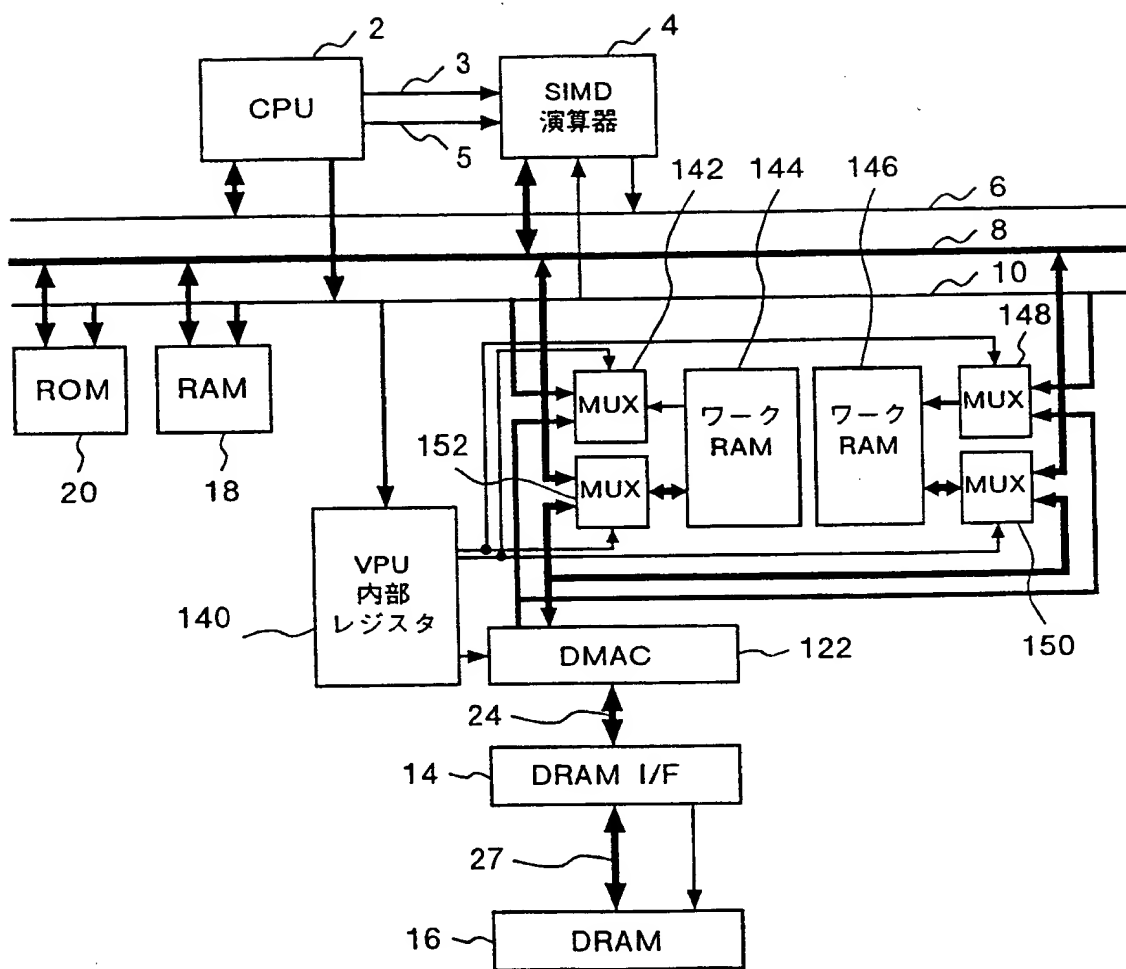
第 1 6 図



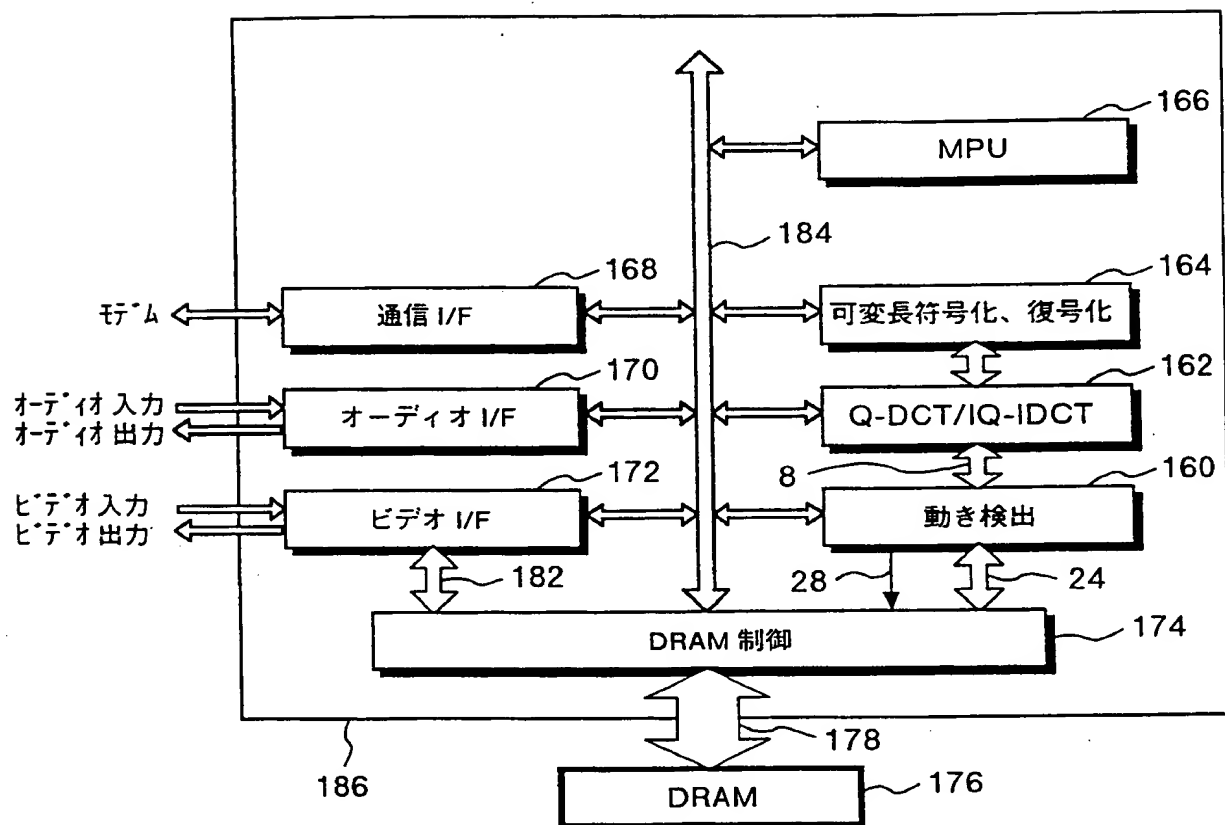
第 17 図



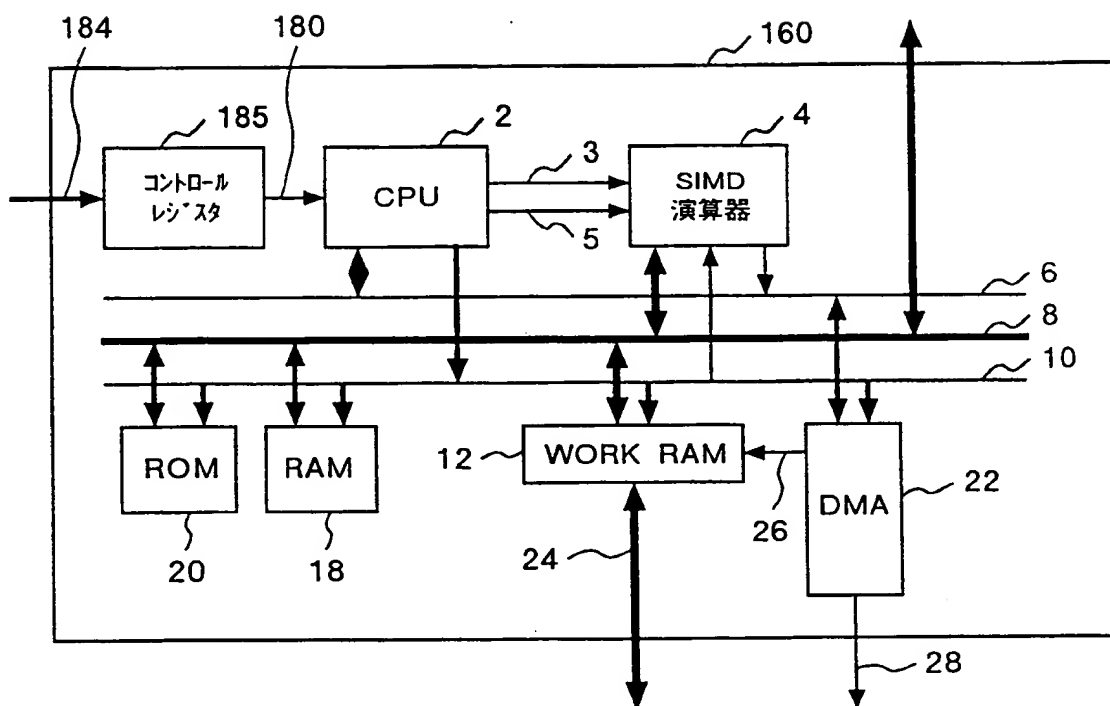
第 1 8 図



第 19 図



第 20 図



国際調査報告

国際出願番号 PCT/J P 99/00181

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁸ G 0 6 F 9 / 3 8		
Int. Cl ⁸ G 0 6 F 1 5 / 8 0		
Int. Cl ⁸ H 0 4 N 7 / 3 6		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁸ G 0 6 F 9 / 3 8		
Int. Cl ⁸ G 0 6 F 1 5 / 8 0		
Int. Cl ⁸ H 0 4 N 7 / 3 6		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1940-1999年		
日本国公開実用新案公報 1971-1995年		
日本国登録実用新案公報 1994-1999年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名、及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 7-200324, A (インターナショナル・ビジネス・マ シーンズ・コーポレーション), 4. 8月. 1995 (04. 0 8. 95), 第5欄第1行目~第10欄第38行目及び図1&U S, 5506957, A	1 2, 7
A	J P, 9-69047, A (ソニー株式会社), 11. 3月. 19 97 (11. 03. 97) & EP, 762272, A	1-9
A	J P, 6-324868, A (日立超エル・エス・アイ・エンジニ アリング株式会社), 25. 11月. 1994 (25. 11. 9 4) (ファミリーなし)	1-9
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
13. 04. 99	27.04.99	
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	5 B 9 4 6 2
日本国特許庁 (ISA/J P)	中野 裕二	
郵便番号100-8915	電話番号 03-3581-1101	内線 3546
東京都千代田区霞が関三丁目4番3号		

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 2-306361, A (日本電気株式会社), 19. 12 月. 1990 (19. 12. 90) (ファミリーなし)	1-9
A	J P, 5-268593, A (日本電信電話株式会社), 15. 1 0月. 1993 (15. 10. 93) (ファミリーなし)	10-13

PCT/JP99/00181

Patent ☒

Trademark ☐

520.40265X00

Serial No.

09/889798

Filed

July 20, 2001

Applicant(s)

HATAE, et al

Papers filed herewith on July 20, 2001

☒ Fees \$ 1474.00

☒ Assignment

☒ New Application w/dec.

☐ Letter to Draftsman

☐ Amendment

☐ Priority Documents

☐ Notice of Appeal

☐ Petition for Ext. of Time

☐ Appeal Brief

☒ 16 Sheets of Formal Drawings

☒ Other Specification(20claims), Abstract(29pages).

Declaration(4pages), Credit Card Form, Change of Corr. Form.

Figs. 1-20, List & Copies of Prio Art w/refs., PCT Request

Receipt is hereby acknowledged of the papers filed as indicated in connection with above identified case.

COMMISSIONER OF PATENTS AND TRADEMARKS

CIB

7/20/01

REC'D PCT/PTO

20 JUL 2001

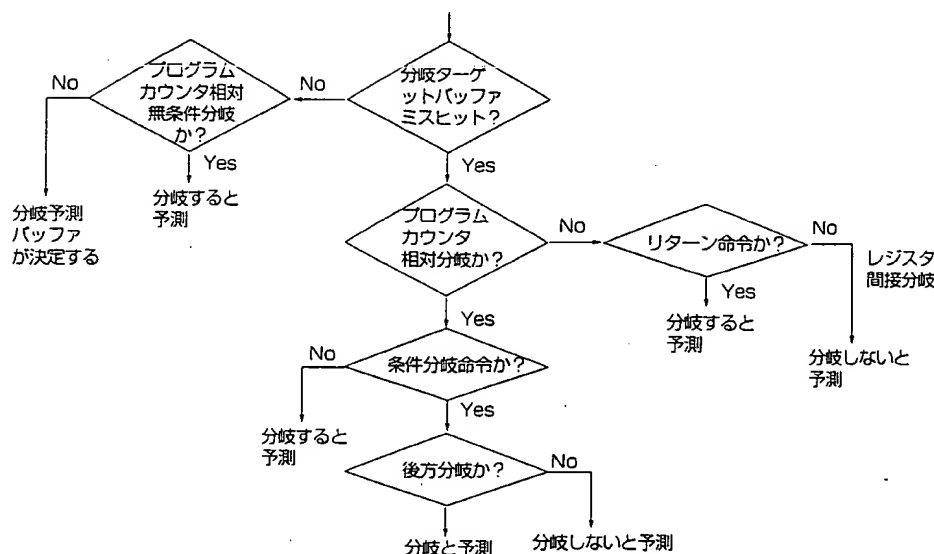
For: Our New U.S. Patent Application. Our Ref: NT0371US

PARALLEL PROCESSING DEVICE FOR (H. HATAE; et al)
IMAGE DATA WITH SIMP ALU

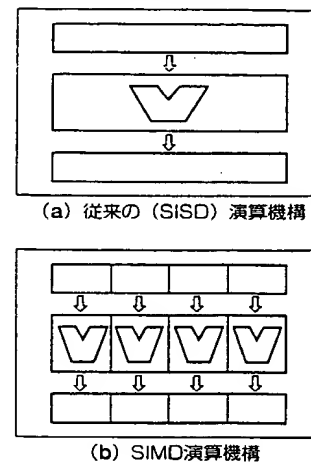
LIST OF THE PRIOR ART REFERENCES CITED IN THE SPECIFICATION.

1. "Interface", March Issue, 1998, pp. 111 to 113. (Cited on page 5, lines 12-13 in our specification).
-

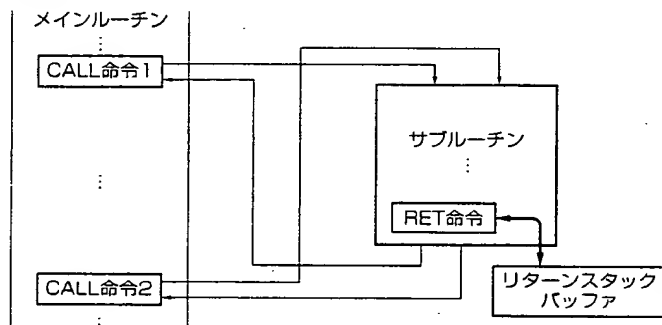
〔図21〕 Pentium II の分岐予測フロー



〔図23〕 SIMD 演算機構



〔図22〕 リターンスタックバッファ



にそれぞれ2ビットの分岐情報をもっています。この2ビット情報によって図19(b)に示すような予測を行い、結果にしたがって状態遷移をします。この機構により予測的中率は85%であるとされています。

しかし、こうした状態遷移に基づく分岐予測では、分岐/非分岐を繰り返すようなパターンをもった分岐命令の予測を行うことはできませんでした。また分岐予測の結果によりプリフェッチバッファに命令を取り込むだけで、投機実行は行われませんでした。

Pentium Proではこの分岐予測がさらに強化され、図20に示すYehのアルゴリズム (Yeh's algorithm) と呼ばれる分岐予測アルゴリズムが採用されました。

このアルゴリズムでは分岐ターゲットバッファに、各命令に関する4ビットの分岐履歴情報と、それに対応する分岐予測情報を保持しています。そしてそれらの情報をもとに分岐パターンに基づく分岐予測が可能となりました。

この予測機構により、Pentiumでは予測ができなかったパターン予測が可能になり、また予測的中率も90～95%と非常に高い

値を達成しています。

また、Pentium Proでは動的分岐予測ができなかったときの補償として、図21のフローチャートに示されるような静的分岐予測を行います。

またPentium ProおよびMMX Pentiumでは図22に示すようにサブルーチンからの戻り先を正しく予測するためのリターンスタックバッファ (return stack buffer) を備えています。

この機構はRET命令の履歴を取り、先の分岐命令と同様に戻り先を予測して投機実行するためのものです。この機構により、関数呼び出しなどが頻繁に実行される場合でも性能が低下することを防ぐことができます。

5. SIMD型演算機構

5.1 インテルのMMXテクノロジーと他のRISCプロセッサ

intelは画像・音声情報処理を効率化するために、MMXテクノロジーと呼ばれるSIMD型演算機構をIAアーキテクチャに新たに追加しました。MMXテクノロジーアーキテクチャは、表1に示すように57種類のSIMD型演算命令を備えています。

その詳細は、本誌97年9月号および98年1月号に解説があるので、そちらも参考にされるとよいでしょう。実際の製品ではMMX PentiumおよびPentium IIにおいてMMXテクノロジーが搭載されました。

またIAプロセッサ以外でも、表2に示されるように他のRISCプロセッサもこうしたSIMD型の演算機構を搭載しています (またはする予定)。

〔表1〕 MMXテクノロジー命令一覧

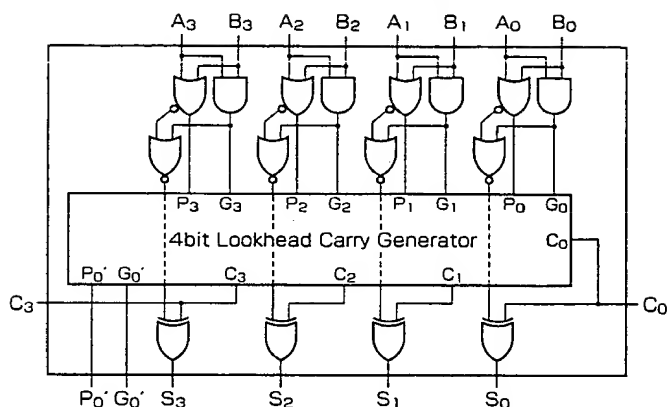
カテゴリ	ニモニック	データ型	オペランド	動作
データ転送	MOVD	32ビット	mm, r32/m32	汎用レジスタまたはメモリ上の32ビット長データを零拡張して格納する
			r32/m32, mm	下位32ビット長データを汎用レジスタまたはメモリ上へ格納する
	MOVQ	64ビット	mm, mm/m64	MMXレジスタまたはメモリ上の64ビット長データを格納する
			mm/m64, mm	64ビット長データをMMXレジスタまたはメモリ上へ格納する
算術演算	PADD	B, W, D	mm, mm/m64	整数要素同士のラップアラウンド加算をする
	PADDQ	B, W	mm, mm/m64	符号付き整数要素同士の飽和加算をする
	PADDUS	B, W	mm, mm/m64	符号なし整数要素同士の飽和加算をする
	PSUB	B, W, D	mm, mm/m64	整数要素同士のラップアラウンド減算をする
	PSUBS	B, W	mm, mm/m64	符号付き整数要素同士の飽和減算をする
	PSUBUS	B, W	mm, mm/m64	符号なし整数要素同士の飽和減算をする
	PMULL	W	mm, mm/m64	符号付き整数要素同士を乗算し、結果の各下位部分を格納する
	PMULH	W	mm, mm/m64	符号付き整数要素同士を乗算し、結果の各上位部分を格納する
	PMADD	WD	mm, mm/m64	符号付き整数要素同士を上位、下位それぞれ積和演算する
比較演算	PCMPEQ	B, W, D	mm, mm/m64	整数要素同士の等価比較をし、比較結果を格納する
	PCMPGT	B, W, D	mm, mm/m64	符号付き整数要素同士の大小比較をし、比較結果を格納する
論理演算	PAND	64ビット	mm, mm/m64	64ビット長データ同士の論理積をとる
	PANDN	64ビット	mm, mm/m64	64ビット長データ同士で、格納先を論理否定した上での論理積をとる
	POR	64ビット	mm, mm/m64	64ビット長データ同士の論理和をとる
	PXOR	64ビット	mm, mm/m64	64ビット長データ同士の排他的論理和をとる
シフト演算	PSLL	W, D, Q	mm, mm/m64	各フィールドを第2オペランドの値だけ左に論理シフトする
			mm, imm8	
	PSRL	W, D, Q	mm, mm/m64	各フィールドを第2オペランドの値だけ右に論理シフトする
			mm, imm8	
データ変換	PSRA	W, D	mm, mm/m64	各フィールドを第2オペランドの値だけ右に算術シフトする
			mm, imm8	
	PACKSS	WB, DW	mm, mm/m64	符号付き整数要素をパックし、飽和させた結果を格納する
	PACKUS	WB	mm, mm/m64	符号なし整数要素をパックし、飽和させた結果を格納する
状態制御	PUNPCKL	BW, WD, DQ	mm, mm/m64	下位32ビット長部分を要素単位でインターリーブして格納する
	PUNPCKH	BW, WD, DQ	mm, mm/m64	上位32ビット長部分を要素単位でインターリーブして格納する
状態制御	EMMS	—	—	MMXテクノロジー状態をクリアする

〔表2〕 各社のMMXテクノロジーと呼ばれるSIMD型演算機構

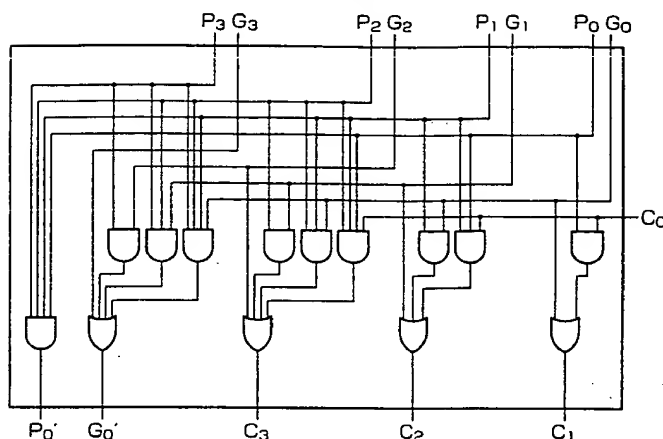
メーカー	SIMDテクノロジーの呼称
intel	MMX (Multi Media Extensions)
Digital Equipment Corp	MVI (Motion Video Instructions)
Sun Microsystems	VIS (Visual Instruction Set)
MIPS Technologies	MDMX (MIPS Digital Media eXtensions)
Hewlett Packard	MAX (Multimedia Acceleration eXtensions)
IBM, Motorola, Apple	将来拡張の予定

Pentium IIを支える最新プロセッサ技術

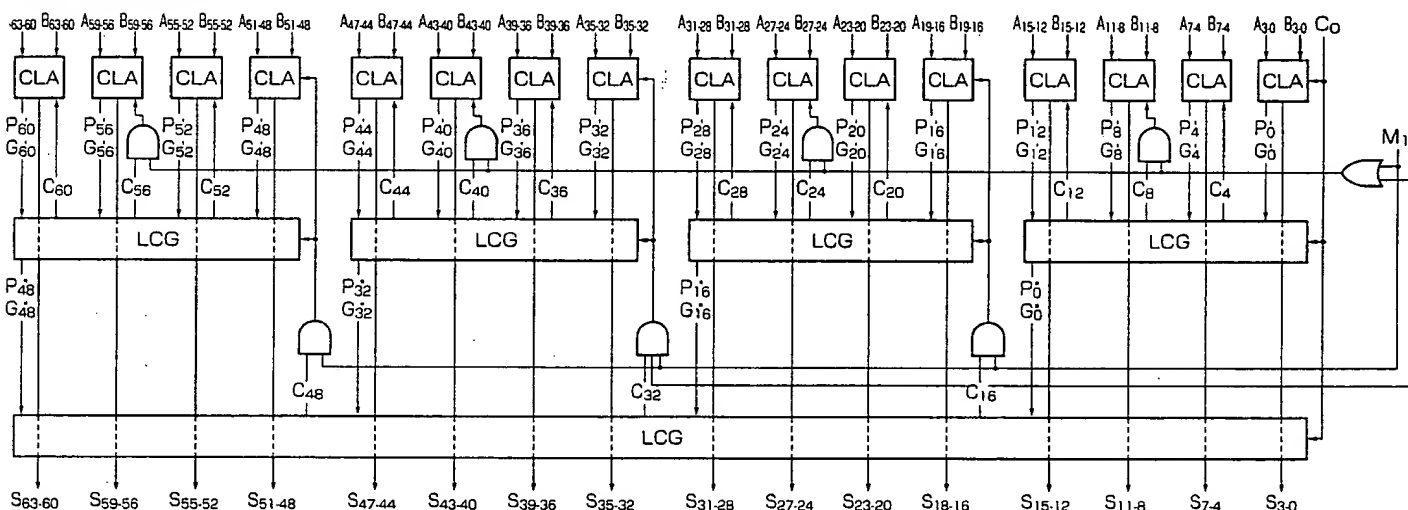
〔図24〕4ビットキャリールックahead加算器



〔図25〕4ビットルックahead加算器



〔図26〕算術加減算ユニット



5.2 ハードウェアによるSIMD型演算ユニットの実現

これらのSIMD型演算機構は、いずれも図23に示されるように演算ユニットレベルのものであり、従来の演算実行ハードウェアに対してある程度のリソースを追加することによって実現が可能です。

例として、MMXテクノロジー風の64ビット長SIMD型算術加減算ユニットを論理回路で実装することを考えてみましょう。まず、演算ユニットの基本要素となる4ビットルックaheadキャリージェネレータ (Lookahead Carry Generator) および4ビットキャリールックahead加算器 (Carry Lookahead Adder) を図

24と図25に示しておきます。これらの論理回路ユニットによって、先の演算ユニットは図26のように構成することができます。

このとき、SIMD型演算を実現するためには、たんにキャリ伝播をさえぎれば実現できるので、必要なリソースは図のAミで示される部分だけですみます。この部分を除くと通常の64ビット長算術加減算ユニットになることがわかるでしょう。

この例に示されるように、SIMD型演算機構は従来の演算ユニットを要素単位に分割すれば実現できるので、実際の実装は比較的簡単であるといえます。

くまがい・まさやす (例数理技研)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.